

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 2 3 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 1 8 5 2 8
Application Number:

ST. 10/C): [J P 2 0 0 3 - 1 1 8 5 2 8]

願 人 株式会社ルネサステクノロジ
Applicant(s):

USSN 10/829,380

MATTINGLY, STANGER, MALUR + BRUNSDIGE, P.C.

(703) 684-1120

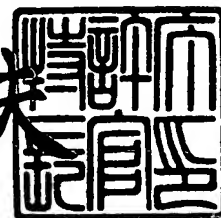
DKT: H-1139

CERTIFIED COPY OF
SECURITY DOCUMENT

2 0 0 4 年 4 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 H03006421

【提出日】 平成15年 4月23日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 17/16

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 林 厚宏

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内

【氏名】 根岸 剛己

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内

【氏名】 豊嶋 博

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100081938

【弁理士】

【氏名又は名称】 徳若 光政

【電話番号】 0422-46-5761

【手数料の表示】

【予納台帳番号】 000376

【納付金額】 21,000円

【提出物件の目録】

【物件名】	明細書	1
【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 並列形態にされた複数からなる出力 MOSFET を備えた出力回路と、

上記複数の出力 MOSFET のうちオン状態にされる数を選択して出力インピーダンスの調整を行う第 1 制御手段と、

上記オン状態にされる上記出力 MOSFET の駆動信号の調整によりスルーレートの調整を行う第 2 制御手段とを備えてなることを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 において、

上記並列形態に接続された出力 MOSFET は、複数グループに分けられ、
上記複数グループの出力 MOSFET のそれぞれは、複数のサブグループに分けられ、

上記第 1 制御手段は、上記複数グループの選択信号を形成し、

上記第 2 制御手段は、上記複数のサブグループの出力 MOSFET の駆動タイミング調整を行うものであり、

出力すべきデータに対応して、上記第 1 制御手段により選択された 1 ないし複数グループからなる複数の出力 MOSFET が、上記第 2 制御手段により形成された駆動タイミングに対応してオン状態にされることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 2 において、

上記第 1 制御手段により調整される出力インピーダンスは、出力 MOSFET により伝えられる信号を伝送する伝送線路の特性インピーダンスに整合するように設定されるものであることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 3 において、

上記複数の出力 MOSFET のそれぞれに対応してそれを駆動する出力プリバッファが設けられるものであり、

上記出力プリバッファは、上記出力すべきデータと、第 1 制御手段により形成

された選択信号により活性化され、上記第2制御手段により形成された制御信号により上記出力MOSFETに伝えられる駆動信号の立ち上がり時間が相互に変化させられるものであることを特徴とする半導体集積回路装置。

【請求項5】 請求項4において、

上記出力MOSFETのそれぞれには、抵抗素子が直列形態に接続されることを特徴とする半導体集積回路装置。

【請求項6】 請求項5において、

上記抵抗素子の抵抗値と、上記オン状態のときの出力MOSFETの抵抗値とはほぼ等しく、又は抵抗素子の抵抗値が大きくなるよう形成されていることを特徴とする半導体集積回路装置。

【請求項7】 請求項6において、

上記サブグループを構成する出力MOSFETのインピーダンス比は、上記複数のグループにおいて、ほぼ等しくなるような回路構成として、スルーレートの調整が出力インピーダンスの調整結果により影響を受けないようにしたことを特徴とする半導体集積回路装置。

【請求項8】 請求項6において、

上記出力MOSFETは、電源電圧側に対応したレベルの出力信号を形成する第1導電型の第1MOSFETと、回路の接地電位側に対応したレベルの出力信号を形成する第2導電型の第2MOSFETとからなり、

上記第1MOSFET及び第2MOSFETのそれぞれに上記出力プリバッファが設けられるものであることを特徴とする半導体集積回路装置。

【請求項9】 請求項8において、

上記第1MOSFETと第2MOSFET及び抵抗素子は、直線的な一本の配線で接続可能にされた基本構成とするレイアウトにされ、

上記第1MOSFETと第2MOSFET及び抵抗素子からなる基本構成の複数個が、上記配線と直交する方向に複数個が平行に並べられてストライプ状にされてなることを特徴とする半導体集積回路装置。

【請求項10】 請求項9において、

上記平行に配置された基本構成のレイアウトの複数において、インピーダンス

の小さいストライプ単位はMOSFETのサイズが上記配線の延長方向に大きく形成され、抵抗サイズが上記配線の延長方向に小さく形成され、インピーダンスの大きなストライプ単位はMOSFETのサイズが上記配線の延長方向に小さく形成され、抵抗サイズが上記配線の延長方向に大きく形成されて、上記複数の基本構成のストライプ単位の長さの差が小さくされてなることを特徴とする半導体集積回路装置。

【請求項 11】 請求項 10 において、

上記ストライプ単位は、上記直線的な配線に対応して接続された静電破壊防止用のダイオードを更に含むことを特徴とする半導体集積回路装置。

【請求項 12】 請求項 6 において、

上記第 1 制御手段は、外部端子に接続された抵抗素子を含み、

上記外部端子に接続された抵抗素子の抵抗値に最も近い出力インピーダンスとなるよう上記出力MOSFETの選択信号を形成するものであることを特徴とする半導体集積回路装置。

【請求項 13】 請求項 12 において、

上記出力回路は、複数組に分けられて半導体基板上に分散して配置され、

上記第 1 制御手段は、半導体基板上の 1 つ設けられ、

上記第 1 制御手段により形成された選択信号は、上記各組毎に設けられたラッチ回路に伝えられ、

ラッチ回路は、上記選択信号をクロックパルスに対応して選択信号の取り込みを行い、取り込まれた選択信号に対応する出力回路に伝えることを特徴とする半導体集積回路装置。

【請求項 14】 外部端子から供給される入力信号を受ける入力回路と、

上記外部端子に接続され、並列形態にされた複数からなるMOSFETを備えた終端回路と、

上記複数のMOSFETのうちオン状態にされる数を調整して終端抵抗の抵抗値の調整を行う第 3 制御手段とを備えてなることを特徴とする半導体集積回路装置。

【請求項 15】 請求項 14 において、

上記MOSFETは、電源電圧側に設けられた第1導電型の第3MOSFETと、回路の接地電位側に設けられた第2導電型の第4MOSFETとからなることを特徴とする半導体集積回路装置。

【請求項16】 請求項15において、

上記第3MOSFETと第4MOSFETは、直線的な一本の配線で接続可能にされた基本構成とするレイアウトにされ、

上記第3MOSFETと第4MOSFETからなる基本構成の複数個が、上記配線と直交する方向に複数個が平行に並べられてストライプ状にされてなることを特徴とする半導体集積回路装置。

【請求項17】 請求項16において、

上記ストライプ単位は、上記直線的な配線に対応して接続された静電破壊防止用のダイオードを更に含むことを特徴とする半導体集積回路装置。

【請求項18】 請求項16において、

上記第3制御手段は、外部端子に接続された抵抗素子を含み、

上記外部端子に接続された抵抗素子の抵抗値に最も近い抵抗値となるよう上記複数からなる第3MOSFET及び第4MOSFETの選択信号を形成するものであることを特徴とする半導体集積回路装置。

【請求項19】 請求項18において、

上記第3MOSFET及び第4MOSFETのそれぞれは、オン抵抗値が2進の重みを持つようにされた複数個からなり、

上記第3制御手段により形成された2進コードの選択信号により選択的にオン状態にされることを特徴とする半導体集積回路装置。

【請求項20】 請求項19において、

上記第3MOSFET及び第4MOSFETのそれぞれは、オン抵抗値が上記2進の下位ビットの重みを持つようにされた第1の複数個と、上記2進の上位ビットに割り当てられ、それぞれが同じオン抵抗値を持つようにされた第2の複数個とからなり、

上記第3制御手段により形成された2進コードの選択信号のうちの下位ビットは、上記第3MOSFET及び第4MOSFETの複数個のうちの上記第1の複

数個の対応するものを選択するために用いられ、上位ビットに対応したものはデコーダ回路に供給されて上記第2の複数個のうちの対応する数個を選択するために用いられることを特徴とする半導体集積回路装置。

【請求項 21】 請求項 19 において、

上記第3制御手段は、

上記外部端子に接続された抵抗素子と、上記第3 MOSFET の第1レプリカ回路により形成された電源電圧の分圧出力と電源電圧の midpoint 電圧とが最も近くなるような第1レプリカ回路の2進制御信号を形成する第1回路と、

上記第1回路で形成された2進制御信号により制御され、上記第3 MOSFET に対応した第2レプリカ回路と、上記第4 MOSFET の第3レプリカ回路とにより形成された電源電圧の分圧出力と電源電圧の midpoint 電圧とが最も近くなるような第3レプリカ回路の2進制御信号を形成する第2回路とを備え、

上記第1回路の上記2進制御信号が上記第3 MOSFET の選択信号として伝えられ、上記第2回路の上記2進制御信号が上記第4 MOSFET の選択信号として伝えられることを特徴とする半導体集積回路装置。

【請求項 22】 請求項 21 において、

上記第1回路の上記2進制御信号及び上記第2回路の上記2進制御信号は、それぞれシフト回路に伝えられて補正された選択信号が上記第3 MOSFET 及び第4 MOSFET にそれぞれ伝えられることを特徴とする半導体集積回路装置。

【請求項 23】 並列形態にされた複数からなる出力 MOSFET を備え、その出力ノードが外部端子に接続された出力回路と、

上記複数の出力 MOSFET のうちオン状態にされる数を選択して出力インピーダンスの調整を行う第1制御手段と、

上記オン状態にされる上記出力 MOSFET の駆動信号の調整によりスルーレートの調整を行う第2制御手段と、

上記外部端子から供給される入力信号を受ける入力回路と、

並列形態にされた複数からなる MOSFET を備えた終端回路と、

上記複数の MOSFET のうちオン状態にされる数を調整して終端抵抗の抵抗値の調整を行う第3制御手段とを備えてなることを特徴とする半導体集積回路装

置。

【請求項 24】 請求項 23 において、

上記第 3 制御手段は、上記出力回路が動作状態にされるときにそれにより制御される複数からなる MOSFET の全てをオフ状態にさせるものであることを特徴とする半導体集積回路装置。

【請求項 25】 請求項 24 において、

上記出力 MOSFET は、電源電圧側に対応したレベルの出力信号を形成する第 1 導電型の第 1 MOSFET と、回路の接地電位側に対応したレベルの出力信号を形成する第 2 導電型の第 2 MOSFET とからなり、それぞれに抵抗素子が直列形態に接続され、

上記終端回路を構成する MOSFET は、電源電圧側に設けられた第 1 導電型の第 3 MOSFET と、回路の接地電位側に設けられた第 2 導電型の第 4 MOSFET を含むことを特徴とする半導体集積回路装置。

【請求項 26】 請求項 25 において、

上記第 1 MOSFET と第 2 MOSFET 及び抵抗素子並びに上記第 3 MOSFET と第 4 MOSFET は、直線的な一本の配線で接続可能にされた基本構成とするレイアウトにされ、

上記第 1 MOSFET と第 2 MOSFET 及び抵抗素子並びに上記第 3 MOSFET と第 4 MOSFET からなる基本構成の複数個が、上記配線と直交する方向に複数個が平行に並べられてストライプ状にされることを特徴とする半導体集積回路装置。

【請求項 27】 請求項 26 において、

上記第 1 制御手段は、第 1 外部端子に接続された第 1 抵抗素子を含み、

上記第 1 外部端子に接続された第 1 抵抗素子の抵抗値に最も近い出力インピーダンスとなるよう上記複数からなる第 1 MOSFET 及び第 2 MOSFET の選択信号を形成し、

上記第 3 制御手段は、第 2 外部端子に接続された第 2 抵抗素子を含み、

上記第 2 外部端子に接続された第 2 抵抗素子の抵抗値に最も近い抵抗値となるよう上記複数からなる第 3 MOSFET 及び第 4 MOSFET の選択信号を形成

するものであることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置に関し、システム上での高い周波数でのデータ転送を可能にした半導体集積回路装置に利用して好適な回路技術に関するものである。

【0002】

【従来の技術】

メモリ L S I（大規模集積回路）と M P U（マイクロプロセッサ）間等のデータ転送を高速（高周波数）に行うためには、伝送系のインピーダンス整合をとり、反射による転送波形の歪みを抑える必要がある。高速シンクロナス S R A M（スタティック・ランダム・アクセス・メモリ）製品においては、インピーダンス整合をとるために出力ドライバのインピーダンスを専用の L S I ピンに接続した抵抗素子の抵抗値と等しくなるように調整する仕様のものがある。

【0003】

また、伝送されるデータ出力時の遷移時間（立ち上がり／立ち下がり）についても、（１）パッケージ内での信号反射、（２）パッケージインダクタによる同時出力切替えノイズの発生（リングングによる波形の乱れ等）を抑えるために、転送周波数の限界まで長くするのが望ましい。このため、データ転送時のデータウインドウ幅が最も大きくなるように、出力遷移時間（スルーレート）を調整することが必要となる。高速シンクロナス S R A M 製品においては、スルーレート調整は出力ドライバで行わず、L S I 実装ボード上の負荷調整等により調整されていた。本発明を成した後の公知例調査によって、上記出力インピーダンス調整及びスルーレート調整に関連するものとして、以下の公報の存在が報告された。

【0004】

【特許文献 1】

特開平 10-242835 号公報

【特許文献 2】

特開 2001-156618 号公報

【特許文献 3】

特開 2002-135102 号公報

【0005】

特許文献 1 では、出力インピーダンス調整用トランジスタとスルーレート調整用トランジスタを別個に設け、スルーレート調整用トランジスタのゲートにショットパルスを加えることで立ち上り時間を制御し、インピーダンス調整用トランジスタで出力電圧レベルを決定するようにしている。このようにしてスルーレートとインピーダンスを独立に制御できることが開示されている。

【0006】

特許文献 2 では、出力にトランジスタサイズを順に大きくしたオープンドレイン型バッファを設け、スルーレート制御系は PLL、分周回路、EOR、パルス発生回路、ディレイヤから成る n ビットカウンタを構成している。PLL より発生するクロックの $1/2$ 周期毎にカウントアップ/ダウンし、インピーダンスの大きなトランジスタ（小サイズのトランジスタ）から順にオン、またはインピーダンスの小さなトランジスタから順にオフしていくことで、 $n/2$ サイクル後にレベルが立ち上（下）がる。また別個にインピーダンス調整用オープンドレインバッファが追加され、最終的な出力インピーダンスを調整する。このようにしてスルーレートを安定させるスルーレートコントロール装置が開示されている。

【0007】

特許文献 3 では、第 1 トランジスタと第 2 トランジスタとの直列接続箇所と外部端子との間に設けられた第 1 導電型の第 3 トランジスタと、それに並列接続された第 2 導電型の第 4 トランジスタとを含んでインピーダンス整合回路を構成する。第 1 導電型の第 3 トランジスタと第 2 導電型の第 4 トランジスタとの並列合成インピーダンスにより伝送路とのインピーダンス整合をとるようにし、インピーダンス整合回路を形成する個々のトランジスタのゲート幅の縮小化を図って、スルーレートコントロール機能及びインピーダンス整合機能を有する出力回路のチップ占有面積の低減を図った出力回路が開示されている。

【0008】

【発明が解決しようとする課題】

特許文献1に開示されている技術では、インピーダンス／スルーレートで別個のトランジスタを用いる為に、LSIピンに接続されるトランジスタの量が増えることになり、ピン容量が増加する。この寄生容量は信号転送における反射ノイズを増やすことになってしまうという課題がある。特許文献2に開示されている技術では、スルーレート調整を行うバッファサイズは固定であり、インピーダンス調整を行うバッファが可変となり最終的なインピーダンス値を決定する方式のため、製造プロセス、動作環境が変化した場合、スルーレート調整バッファの駆動力が変化し、立ち上り／立ち下り時間が条件により変わってしまうという課題がある。特許文献3に開示されている技術では、スルーレートコントロール用トランジスタとインピーダンス整合用トランジスタが直列に接続されているため、スルーレートとインピーダンスを独立に設定できない。また、製造プロセス、動作環境が変化した場合、スルーレートが変動してしまうという課題がある。

【0009】

本発明の目的は、インピーダンス調整とスルーレート調整を互いに独立して設定することを可能とし、調整回路の構成を簡単にする半導体集積回路装置を提供することにある。本発明の他の目的は、いずれの出力電圧においてもインピーダンス比は設定値に依らず一定とする半導体集積回路装置を提供することにある。本発明の更に他の目的は、環境条件が変化し、インピーダンスを設定値に設定するMOSFETの組み合わせが変化した場合でも、インピーダンスが一定である限りスルーレート量を一定に保つ出力回路を備えた半導体集積回路装置を提供することにある。本発明の更に他の目的は、出力回路及び入力回路の高集積化を図った半導体集積回路装置を提供することある。本発明の更に他の目的は、使い勝手がよくシステム上でのデータ転送レートを高くすることができる半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】**【課題を解決するための手段】**

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、

下記の通りである。出力回路を並列形態にされた複数からなる出力MOSFETを用い、第1制御手段により上記複数の出力MOSFETのうちオン状態にされる数を選択して出力インピーダンスの調整を行い、第2制御手段により上記オン状態にされる上記出力MOSFETの駆動信号の調整によりスルーレートの調整を行う。

【0011】

本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。外部端子から供給される入力信号を受ける入力回路に対して、上記外部端子に接続され、並列形態にされた複数からなるMOSFETを備えた終端回路を設け、第3制御手段により上記複数のMOSFETのうちオン状態にされる数を調整して終端抵抗の抵抗値の調整を行う。

【0012】

本願において開示される発明のうち更に他の代表的なものの概要を簡単に説明すれば、下記の通りである。並列形態にされた複数からなる出力MOSFETの出力ノードが外部端子に接続された出力回路に対して、第1制御手段により上記複数の出力MOSFETのうちオン状態にされる数を選択して出力インピーダンスの調整を行い、第2制御手段により上記オン状態にされる上記出力MOSFETの駆動信号の調整によりスルーレートの調整を行い、上記外部端子から供給される入力信号を受ける入力回路に対して、並列形態にされた複数からなるMOSFETを備えた終端回路をスイッチ回路を介して上記外部端子に接続させ、第3制御手段により上記複数のMOSFETのうちオン状態にされる数を調整して終端抵抗の抵抗値の調整を行う。

【0013】

【発明の実施の形態】

図1には、この発明に係る半導体集積回路装置に設けられる出力バッファの一実施例の概略回路図が示されている。この実施例の出力バッファ1は、オープンドレイン形式の出力回路に向けられている。出力バッファ1は、複数のNチャネルの出力MOSFET100～122から構成される。これらの出力MOSFET100～122は、そのドレインが出力端子DQに共通に接続され、ソースが回

路の接地電位が与えられることにより並列形態にされる。出力MOSFET100～122は、更に詳細に説明するなら、100～102、110～112及び120～122の9個からなり、3行×3列に並べられる。上記9個の出力MOSFET100～122は、特に制限されないが、それぞれのオン抵抗値が $3 * R$ ($= 3 \times R$) のように互いに等しくなるように形成される。

【0014】

上記出力MOSFET100～122のそれぞれに対応して出力プリバッファ3が設けられる。出力プリバッファ3は、上記各出力MOSFET100～122のそれぞれに対応した300～302、310～312及び320～322の9個からなり、3行×3列に並べられる。上記9個の出力プリバッファ300～322により形成された駆動信号は、上記対応する出力MOSFET100～122のゲートに伝えられる。

【0015】

出力MOSFET100～122のうち、出力MOSFET100～102は、インピーダンス調整コードIC0に対応した出力バッファ群10とされ、出力MOSFET110～112と120～122は、インピーダンス調整コードIC1に対応した出力バッファ群11とされる。また、出力MOSFET100～122のうち、出力MOSFET100、110、120は、出力バッファ群20とされ、出力MOSFET101、111、121は、出力バッファ群21とされ、出力MOSFET102、112、122は、出力バッファ群22とされる。

【0016】

出力バッファ群10の出力MOSFET100～102に対応された出力プリバッファ300～302には、インピーダンス調整コードIC0が供給される。出力バッファ群11の出力MOSFET110～122に対応された出力プリバッファ310～312及び320～322には、インピーダンス調整コードIC1が供給される。

【0017】

上記出力バッファ群20の出力MOSFETに対応して設けられるプリバッファ

ア 300、310、320と、上記出力バッファ群21の出力MOSFETに対応して設けられるプリバッファ301、311、321と、上記出力バッファ群22の出力MOSFETに対応して設けられるプリバッファ302、312、322とには、スルーレート調整コードSR0、SR1及びSR3がそれぞれ供給される。これらのスルーレート調整コードSR0、SR1及びSR3は、それぞれが<0:2>で示したように3ビットの信号からなる。そして、上記9個の出力プリバッファ300~322には、データ入力Dが供給される。このデータ入力Dは、図示しない内部回路で形成され、上記出力端子DQを通して半導体集積回路装置の外部に出力させるべきデータ信号である。

【0018】

この実施例では、出力MOSFET100~122のオン抵抗値を $3 * R$ ($= 3 \times R$) とすることにより、インピーダンス調整コードIC0で制御される出力バッファ群10では、トータルインピーダンスがRとされ、インピーダンス調整コードIC1で制御される出力バッファ群11では、トータルインピーダンスが $R/2$ とされる。

【0019】

そして、この実施例では、前記のように各出力バッファ群は、スルーレート調整コードSR0<0:2>で制御される出力バッファ群20と、スルーレート調整コードSR1<0:2>で制御される出力バッファ群21と、スルーレート調整コードSR2<0:2>で制御される出力バッファ群22とに分割されている。上記出力プリバッファ3は、同じサイズの出力MOSFETに接続されるプリバッファ回路の定数が同じになるようにしている。

【0020】

図2には、図1の出力プリバッファ3の一実施例の回路図が示されている。同図において、Dはデータ入力端子、OUTは出力端子であり、出力バッファである前記出力MOSFET100等のゲートに接続される。また、ICはインピーダンス調整コード入力端子、SR<0>、SR<1>、SR<2>はスルーレート調整コード入力端子である。

【0021】

PチャネルMOSFET 40～42が並列形態にされ、共通接続されたドレインは、出力端子OUTに接続される。上記PチャネルMOSFET 40～42の共通接続されたソースには、データ入力端子Dから供給される出力すべきデータを受けるPチャネルMOSFET Q43によって電源電圧VDDが供給される。上記出力端子OUTと回路の接地電位VSSとの間には、NチャネルMOSFET Q53が設けられ、上記データ入力端子Dから供給される出力すべきデータによってスイッチ制御される。

【0022】

上記出力端子OUTと回路の接地電位VSSとの間には、NチャネルMOSFET 50～52が直列形態に設けられる。上記PチャネルMOSFET 40～42とNチャネルMOSFET 50～52のそれぞれのゲートが共通化されてナンドゲート回路60、61、62の出力信号が伝えられる。上記ナンドゲート回路60～62の一方の入力には、上記入力端子ICからインピーダンス調整コードIC0又はIC1が供給される。上記ナンドゲート回路60～62の他方の入力には、上記入力端子SR<0>、SR<1>、SR<2>からスルーレート調整コードSR0<0:2>、SR1<0:2>、SR3<0:2>のいずれかが供給される。

【0023】

この実施例の出力プリバッファは、インピーダンス調整コード入力端子ICにより選択または非選択が切り換えられる。このため、図2においては、インピーダンス調整コード入力端子ICに前記IC0又はIC1を供給し、それによって、動作させる出力バッファ群(10, 11)を選択することができる。また、スルーレート調整コード入力端子に前記SR0～2<0:2>のいずれかでPチャネルMOSFET 40～42の中でオン状態するPMOSの組み合わせを選択し、出力プリバッファの負荷駆動力(オン抵抗)を変化させる。つまり、出力MOSFET 100等のゲートに伝えられる駆動信号の立ち上り時間の調整を行うようにされる。

【0024】

図1の出力バッファ1を構成するNチャネル型の出力MOSFET 100～1

22は、Pチャネル型の出力MOSFETに置き換えることが可能である。つまり、Pチャネル型の出力MOSFETを電源電圧側に設けて、ハイレベルの出力信号を出力端子DQから出力するようにしてもよい。

【0025】

図3には、上記Pチャネル型の出力MOSFETを用いた出力バッファを駆動する出力プリバッファの一実施例の回路図が示されている。同図において、前記図2と同様に、Dはデータ入力端子、OUTは出力端子であり、出力バッファである前記Pチャネル型の出力MOSFETのゲートに接続される。また、前記図2と同様にICはインピーダンス調整コード入力端子、SR<0>、SR<1>、SR<2>はスルーレート調整コード入力端子である。

【0026】

この実施例の出力プリバッファは、前記図2のPチャネルMOSFETとNチャネルMOSFETとの接続関係を入れ替えられた構成となっている。つまり、Pチャネル型の出力MOSFETをオン状態にするための駆動信号を並列形態にされたNチャネルMOSFET40～42で形成し、それに回路の接地電位VSSを供給するためのスイッチとしては、データDを受けるNチャネルMOSFET43が用いられる。上記データDに対応して出力端子OUTをハイレベルにリセットするMOSFETは、PチャネルMOSFET53とされる。そして、PチャネルMOSFET50～52が直列形態とされて出力端子と電源電圧VDDとの間に設けられる。また、インピーダンス調整コードICとスルーレート調整コードSR<0>、SR<1>、SR<2>を受けるゲート回路60～62は、ナンドゲートに代えてアンドゲートとされる。

【0027】

図4には、この発明に係る前記図1に示した出力バッファ1のインピーダンス設定方法の一実施例の説明図が示されている。インピーダンス調整コードIC0、IC1を設定することにより、動作する出力バッファ群を選択し、出力インピーダンスを ∞ から $R/3$ の間に設定することができる。つまり、IC1、IC0が00のとき、動作する出力MOSFETはなしとされて、出力インピーダンスが ∞ とされる。IC1、IC0が01のとき、出力MOSFET100～102

の3個が動作して、出力インピーダンスは R とされる。 $IC1$ 、 $IC0$ が10のとき、出力MOSFET110～112及び130～132の6個が動作して、出力インピーダンスは $R/2$ とされる。そして、 $IC1$ 、 $IC0$ が11のとき、出力MOSFET100～102、110～112及び130～132の9個が全て動作して、出力インピーダンスは $R/3$ とされる。

【0028】

図5は、図2の出力プリバッファ3の駆動力設定方法の一実施例の説明図が示されている。スルーレート調整コード $SR<0>$ 、 $SR<1>$ 、 $SR<2>$ を設定することにより、オン状態となるPチャネルMOSFET40～42の組み合わせを選択し、回路の負荷駆動力（オン抵抗）を変化させ、出力スルーレートを大から小に設定することができる。つまり、3ビットからなるスルーレート調整コード $SR<0>$ 、 $SR<1>$ 、 $SR<2>$ により、000の組み合わせを除く7通りに対応してオン状態にされるPチャネルMOSFET40～42の組み合わせが設定されて、7通りのオン抵抗値を設定することができる。この前提として、上記MOSFET40～42は、 $MOSFET42>MOSFET41>$ で、 $MOSFET40//41>MOSFET40$ のようにオン抵抗値が異なるようにされる。ここで、 $MOSFET40//41$ は、 $MOSFET40$ と41の並列合成抵抗値を表している。

【0029】

図6は、図1の出力バッファ群20～22毎に見たときのインピーダンスの説明図が示されている。図1の実施例では、出力バッファ群20～22に対応する出力プリバッファに入力するスルーレートコードをそれぞれで変えることで、各出力バッファ群をオンさせる駆動波形を変えている。ここで、インピーダンスコードが変化しても、出力バッファ群20～22間のインピーダンスの比を一定となる様にしている。このため、例えば温度が $T0 \rightarrow T1$ へ変化し、出力インピーダンスが調整されコード（ $IC1$ ， $IC0$ ）が（1，0） \rightarrow （1，1）となった場合でも、インピーダンスは $R/2 [T=T0] = R/3 [T=T1]$ であるため、各出力バッファ群20～22の間のインピーダンスも一定に保たれる。（ $1.5 * R [T=T0] = R [T=T1]$ ）。そのため、スルーレートも一定に保

たれる。

【0030】

以上の実施例においては、インピーダンス調整とスルーレート調整を互いに影響を及ぼすことなく別々に（独立して）設定することが可能となり、調整回路の構成を簡単にすることができる。さらに、インピーダンス調整を行う MOSFET とスルーレート調整を行う MOSFET は共通の出力 MOSFET を用いるようにし、各々別個にバッファを設ける場合に比べピン容量を低減させることができる。また、温度や電圧といった環境条件が変化し、インピーダンスを設定値に設定する出力 MOSFET の組み合わせが変化した場合でも、インピーダンスが一定である限りスルーレート量を一定に保つようにすることができる。

【0031】

図 7 には、この発明に係る半導体集積回路装置に設けられる出力バッファの他の一実施例の概略回路図が示されている。この実施例は、出力端子 DQ からハイレベルとロウレベルの出力信号を送出するよう図 1 に示したようなプルダウン側の出力バッファ 1 と、前記説明した P チャネル型の出力 MOSFET 200～222 で構成されたプルアップ側の出力バッファ 2 とが組み合われて構成される。つまり、CMOS 出力回路と同等の出力機能を持つものとされる。

【0032】

プルダウン側の出力バッファ 1 とそれを駆動する出力プリバッファ 3 は、前記図 1 の実施例の N チャネル型の出力 MOSFET によるオープンドレイン出力回路と同様である。また、プルアップ側の出力バッファ 2 は、前記図 1 の出力 MOSFET が P チャネル MOSFET に置き換えられ、それを駆動する出力プリバッファ 4 は、前記図 3 に示した出力プリバッファと同様なものが用いられる。

【0033】

この実施例では、前記のようにプルアップ側出力バッファ 2 とプルダウン側出力バッファ 1 とで構成されている。それぞれに対応して図 2 及び図 3 に示した出力プリバッファが設けられる。この実施例では、インピーダンス調整コード入力 ICn0 と ICn1 でプルダウン側出力バッファのインピーダンスを調整し、スルーレート調整コード入力 SRn0<0:2>～SRn2<0:2>でスルーレ

ートを調整するようにしており、インピーダンス調整コード入力 IC_{p0} と IC_{p1} でプルアップ側出力バッファのインピーダンスを調整し、スルーレート調整コード入力 $SR_{p0} < 0 : 2 > \sim SR_{p2} < 0 : 2 >$ でスルーレートを調整するようにしている。

【0034】

また、この実施例でもインピーダンスコード IC_{n0} と IC_{n1} が変化しても、Nチャネル型からなる出力MOSFET100、110、120のサブグループと出力MOSFET101、111、121のサブグループと出力MOSFET102、112、122のサブグループとの間のインピーダンスの比を一定となる様にし、またインピーダンスコード IC_{p0} と IC_{p1} が変化しても、Pチャネル型からなる出力MOSFET200、210、220のサブグループと出力MOSFET201、211、221のサブグループと出力MOSFET202、212、222のサブグループとの間のインピーダンスの比を一定となる様にしている。

【0035】

図7の実施例においても、インピーダンス調整とスルーレート調整を互いに影響を及ぼすことなく別々に（独立して）設定することが可能となり、調整回路の構成を簡単にすることができる。さらに、インピーダンス調整を行うMOSFETとスルーレート調整を行うMOSFETは共通の出力MOSFETを用いるようにし、各々別個にバッファを設ける場合に比べピン容量を低減させることができる。また、温度や電圧といった環境条件が変化し、インピーダンスを設定値に設定する出力MOSFETの組み合わせが変化した場合でも、インピーダンスが一定である限りスルーレート量を一定に保つようにすることができる。

【0036】

図8には、この発明に係る半導体集積回路装置に設けられる出力バッファの他の一実施例の構成図が示されている。同図において、 DQP はプルアップ側データ入力、 DQN はプルダウン側データ入力、 DQ はデータ出力端子である。インピーダンス調整は、プルダウン側のNチャネル型出力MOSFETを選択するインピーダンス調整コード $JZN < 0 : 6 >$ とプルアップ側のPチャネル型出力M

OSFETを選択するJZP<0:6>とにより、×1倍力～×64倍力のインピーダンス分類の中から適当な組み合わせを選択することにより行う。

【0037】

この実施例において、×16倍力～×64倍力の出力MOSFETの部分に本発明を適用してスルーレートを調整するために、これらの出力MOSFETの部分をS1～S3のサブグループに分割している。サブグループS1は最初にスイッチングを行う出力MOSFETグループであり、サブグループS2はサブグループS1の出力MOSFETをオン状態にしてから Δt_1 時間後にスイッチングを行う出力MOSFETグループであり、サブグループS3はサブグループS2の出力MOSFETをオン状態にしてから Δt_2 時間後にスイッチングを行う出力MOSFET MOSグループである。

【0038】

この実施例では、出力バッファを出力MOSFETとそれに直列接続された抵抗素子で構成し、MOSFETのオン抵抗と抵抗素子の抵抗値との比を一定としている。このため、出力MOSFETのソース／ドレイン端にかかる電圧(V_{ds})が分割バッファサイズに依らず一定となるため、出力電圧が変わってもインピーダンスの比は同じとなる。従って、どの出力電圧においても、インピーダンス比は設定値に依らず一定とできる。

【0039】

インピーダンス制御はプルアップ側とプルダウン側各7ビットの制御信号JZP<0:6>、JZN<0:6>で出力MOSFETのインピーダンスを制御して行い、スルーレート制御は出力MOSFETのゲートに供給される駆動信号を形成するMOSFETのWサイズ(チャネル幅)を制御信号JSR<0:18>の制御信号で変えることにより行う。このため、インピーダンス調整とスルーレート調整を互いに影響を及ぼすことなく別々に(独立して)設定することが可能となり、調整回路の構成が簡単になる。さらに、インピーダンス調整を行うMOSFETとスルーレート調整を行うMOSFETは共通の出力MOSFETで実現するものであるので各々別個に出力バッファ(出力MOSFET)を設ける場合に比べ外部端子DQのピン容量を低減できる。

【0040】

温度や電圧等のような環境変化等によりインピーダンス調整コード $JZN < 0 : 6 >$ や $JZP < 0 : 6 >$ が変わっても、スルーレート制御される MOSFET (S1~3) のサイズ比を変えないように MOS を分類することでスルーレートを一定に保つようにしている。

【0041】

この実施例では、常時動作作用にサブグループ S1 に $\times 8$ 倍力の出力 MOSFET 及びそれを駆動する出力プリバッファ PBF と、サブグループ S3 に $\times 16$ 倍力の出力 MOSFET 及びそれを駆動する出力プリバッファ PBF が設けられて全体で $\times 24$ 倍力の出力バッファが構成される。これにより、この実施例の出力バッファの出力インピーダンスの最大値が設定される。つまり、インピーダンス調整コード $JZN < 0 : 6 >$ や $JZP < 0 : 6 >$ の全てがゼロでも、上記常時動作作用の出力バッファが動作し、それによる最大出力インピーダンスのもとにハイレベル/ロウレベルの出力信号を形成することができる。

【0042】

図9には、出力バッファの構成単位の一実施例の回路図が示されている。構成単位の出力バッファは、出力 MOSFET と直列接続された抵抗素子 R で構成し、Pチャネル MOSFET (以下、PMOS という) のオン抵抗値：抵抗素子 R の抵抗値 = Nチャネル MOSFET (以下、NMOS という) オン抵抗値：抵抗素子 R の抵抗値 = 1 : 1 程度に設定され、出力バッファとしての出力インピーダンスのリニアリティを、出力バッファを PMOS と NMOS のみで構成した場合に比べて向上させている。PMOS と NMOS のみで構成した場合には、ソースドレイン間電圧によりオン抵抗値が変化するという電圧依存性を持つが、上記抵抗素子 R を直列に接続することによりそれが緩和される。

【0043】

図10には、図9に示した出力バッファのインピーダンスの出力電圧特性を回路シミュレーションにより解析した特性図が示されている。この特性図から、図9の電源電圧 $VDDQ$ が 1.5 V で出力振幅が 1.5 V の場合に、出力インピーダンスを出力電圧が 0.75 V ($= 0.5 \times VDDQ$) で 25Ω になるように調

整した時、出力電圧が0.3Vに変化すると、出力インピーダンスは僅か-10%~+10%、出力電圧が1.2Vに変化すると、出力インピーダンスは僅か-5%~+22%しか変化しないことがわかる。

【0044】

図11には、図9に示した出力バッファのインピーダンスの出力電圧特性を回路シミュレーションにより解析した他の特性図が示されている。この特性図では、抵抗素子の有無による出力バッファインピーダンスの出力電圧特性比較（プルアップ側）が示されている。この特性図においては、図9の電源電圧VDDQが1.5Vで出力振幅が1.5Vの場合に、出力インピーダンスを出力電圧が0.75V（ $=0.5 \times VDDQ$ ）で50Ωになるように調整した時の、出力インピーダンスの出力電圧依存性を示している。本図から、出力バッファを出力MOSMOSFETと抵抗素子Rで構成した方が、抵抗素子が無い場合に比較して、出力バッファのインピーダンスのリニアリティを向上できることがわかる。

【0045】

図12には、図8の実施例のインピーダンスコード#毎のサブグループ分割によるインピーダンス分割比率の特性図が示されている。前記図8の実施例ではスルーレート調整用にバッファをサブグループに分割する際のサイズ比は、インピーダンス調整用に分割したバッファ（ $\times 16$ 倍力~ $\times 64$ 倍力）の間ではほぼ同じ比率となるように分割しているので、同図の特性図に示したように任意のインピーダンスコード#となっても出力バッファ全体で順々にオンするバッファ群（サブグループS1, S2, S3）のインピーダンス比はほぼ等しく保たれる。従って、出力MOSFETの組み合わせが変わってもスルーレートを一定にできる。このため、温度や電圧等の環境条件が変化し、インピーダンスを設定値に設定するための出力MOSFETの組み合わせが変化した場合でも、インピーダンスが一定である限りスルーレート量を一定に保てる。

【0046】

図13には、図8の実施例のインピーダンスコードと出力インピーダンスの関係を回路シミュレーションにより解析した特性図が示されている。この特性図から、デバイスの特性がばらついていても（図中のbest、worst、typic

a1)、また環境条件(温度 T_j 、電圧 V_{ddq})が変化しても、インピーダンスコード#を調整することにより、出力インピーダンスを例えば $50\Omega \sim 23\Omega$ のようなスペックの範囲内に設定できることがわかる。

【0047】

図14には、スルーレートとSRAM(スタティク・ランダム・アクセス・メモリ)電源ノイズの関係を、図15の評価モデルを用いて回路シミュレーションにより解析した特性図が示されている。図14の横軸は図15に示した評価モデルのSRAMの出力バッファに入力される出力データのスルーレート(Slew Rate)、縦軸はSRAM内の電源VSSに誘起される電源ノイズ量($V_{ss\ noise}$)を示している。この特性図より、スルーレートの調整が、ノイズの発生を抑えるためには極めて有効であることがわかる。つまり、スルーレートを小さく、言い換えると出力バッファに入力される出力データの立ち上りを緩やかにすることにより電源ノイズ量($V_{ss\ noise}$)を小さくすることができることを示している。

【0048】

図16には、出力バッファセルの一実施例の構成図が示されている。同図(a)には、レイアウト構造が示され、同図(b)にはそれに対応した等価回路が示されている。この実施例では、出力ピン(PAD)は、ESD(静電破壊)保護ダイオード(p+ダイオード、n+ダイオード)、抵抗素子、NMOS、PMOSの順に配置して直線的な一本の配線で接続したレイアウトを基本構成としている。この基本構成の出力バッファを、上記をインピーダンス調整、及びスルーレート調整に必要な個数分だけ、上記直線的な配線と直交する方向に平行に並べてストライプ状に配置することで一つの出力バッファを構成することができる。

【0049】

図17には、この発明に係る出力バッファの一実施例のレイアウト図が示されている。この実施例では、等比分割された出力バッファセル($R/2$ 、 R 、 $2R$ 、 $4R$)をバイナリのインピーダンスコードで選択することによりインピーダンスを制御するようにしている。また、インピーダンスの小さいストライプ単位($R/2$ 、 R)は、MOSFETのサイズ(W)を大きく抵抗サイズを小さくする

。一方、インピーダンスの大きなストライプ単位 (2R, 4R) は、MOS サイズを小さく、抵抗サイズを大きくするように構成している。

【0050】

すなわち、MOSFET のオン抵抗値はゲートサイズ (W) に反比例し、抵抗素子の抵抗値はレイアウトサイズに比例するため、出力バッファのオン抵抗値と抵抗素子の抵抗値の比率を同じとし、セル内のレイアウトの形状を調整することによって、セル高さ (上記配線方向の長さ) を変えずにインピーダンスを変えるレイアウトとしている。従って、ストライプ単位セルの高さを各インピーダンス分割セルで同じにしても、無駄なスペースを作らずに済むために高集積化を図ることができるという効果が得られる。

【0051】

図18には、この発明が適用される半導体メモリの一実施例のブロック図が示されている。同図において、XADRは行アドレス信号、YADRは列アドレス信号、DINはデータ入力信号、CTRLはメモリ制御信号であり、DOUTはデータ出力信号である。また、XDECは行アドレスデコーダ、XDRは行アドレスに対応するワード線に選択パルス電圧を印加するワード線ドライバ、MCAは複数のメモリセルがマトリクス状に配置されたメモリセルアレーである。またYDECは列アドレスデコーダ、YSWは列アドレスに対応するビット線対を選択する列選択回路、DIOはメモリ制御信号CTRLに基づいて、データ入力信号DINを選択セルへ書き込む、または、選択セルの情報を増幅してデータ出力信号DOUTを出力するデータ入出力回路である。上述した出力バッファはデータ入出力回路DIO内に含まれる。

【0052】

図19には、図18の半導体メモリのデータ入出力回路DIO内の一実施例のブロック図が示されている。同図において、DINはデータ入力信号 (入力端子)、DOUTはデータ出力信号 (出力端子) である。また、DIBは入力バッファ、DQBは前記の出力バッファ、DQPBは前記出力プリバッファである。

【0053】

RTEはデータ入力信号を受信する端子の入力インピーダンスを調整するため

の抵抗であり、この実施例ではインピーダンス制御回路 $IMCNTT$ が端子 ZT に接続された抵抗 RT の抵抗値に基づいて $RT E$ の抵抗値を調整するようにしている。 RQE はデータ出力信号を送信する出力端子 OUT の出力インピーダンスを調整するための抵抗であり、例えば前記実施例における出力バッファ DQB のインピーダンスに相当する。この実施例ではインピーダンス制御回路 $IMCNTQ$ が端子 ZQ に接続された抵抗 RQ の抵抗値に基づいて RQE の抵抗値を調整するようにしている。

【0054】

RPE はデータ出力信号スルーレートを調整するための抵抗であり、例えば上記例における出力プリバッファのインピーダンスに相当する。この実施例では、 $JTAG$ (Joint Test Action Groupが提案したIEEE規格1149.1) を利用したスルーレート制御回路 $JTRCNT$ が $JTAG$ 入力信号 (TCK , TMS , TDI) に基づいて RPE の抵抗値を調整するようにしている。内部回路 $INCKT$ は、読み出しデータを形成するリードアンプ (ハインアンプ) や書き込みデータを受けるライトアンプあるいはそれらを制御する制御回路等からなる。

【0055】

この実施例の半導体メモリは、上記の外部抵抗 RQ により出力バッファ DQB の出力インピーダンスが設定され、入力端子には外部抵抗 RT に対応して抵抗値が設定される終端抵抗 $RT E$ が内蔵される。このため、かかる半導体メモリと実装基板上で伝送線路を通して接続されるプロセッサ等を含むシステムにおいて、上記伝送線路の特性インピーダンスに対応した抵抗値を持つ上記外部抵抗 RQ , RT を接続することにより、出力バッファの出力インピーダンスを上記伝送線路に整合させ、入力端子 DIN に接続される終端抵抗 $RT E$ と伝送線路の特性インピーダンスとを整合させることができる。

【0056】

したがって、上記プロセッサ等により半導体メモリから読み出し動作を行うときに、出力端子 $DOU T$ に接続される伝送線路を通して読み出し信号がプロセッサ等に伝えられるときに、仮にプロセッサ等の入力回路に終端抵抗が接続されないシステムにおいて発生する反射ノイズを上記出力バッファの出力インピーダン

ス R Q E により吸収することができ、再反射ノイズをプロセッサ側に伝送しないから高速な読み出しが可能になる。プロセッサ等の入力回路に終端抵抗が設けられた場合でも、そのインピーダンス整合が不完全ときに発生するノイズを上記出力バッファの出力インピーダンス R Q E により吸収することができるので、高速で安定したデータ転送が可能になる。

【0057】

上記プロセッサ等により半導体メモリへ書き込み動作を行うときに、入力端子 D I N に接続される終端抵抗 R T E が伝送線路の特性インピーダンスと整合されているから高速な書き込み動作が可能になる。つまり、システム上において、外部端子に外付の終端抵抗を接続することなく、高速なデータ転送が可能となり、使い勝手のよい半導体メモリを実現することができる。なお、上記半導体集積回路装置に内蔵される終端抵抗 R T E 及びそのインピーダンス制御回路 I M C N T T については、後に詳細に説明する。

【0058】

図 20 には、この発明が適用される半導体メモリの他の実施例のブロック図が示されている。この実施例において、前記図 18 の実施例と同様に X A D R は行アドレス信号、Y A D R は列アドレス信号、C T R L はメモリ制御信号であり、D Q はデータ入出力信号である。この実施例が、前記図 18 の実施例と異なるのは、図 18 の実施例ではデータ入力端子 D I N とデータ出力端子 D O U T とが分離されていたのに対し、この実施例では、両端子がデータ入出力端子 D Q として共通化されている点である。

【0059】

また、この実施例で X D E C は行アドレスデコーダ、X D R は行アドレスに対応するワード線に選択パルス電圧を印加するワード線ドライバ、M C A は複数のメモリセルがマトリクス状に配置されたメモリセルアレーである。また Y D E C は列アドレスデコーダ、Y S W は列アドレスに対応するビット線対を選択する列選択回路、D I O はメモリ制御信号 C T R L に基づいて、データ入出力信号 D Q を選択セルへ書き込む、または、選択セルの情報を増幅してデータ入出力信号 D Q を出力するデータ入出力回路である。前述した出力バッファはデータ入出力回

路D I O内に含まれる。

【0060】

図21には、図20の半導体メモリのデータ入出力回路D I O内の本発明に係わる部分の一実施例のブロック図が示されている。この実施例において、D Qはデータ入出力信号（端子）である。また、D I Bはデータ入力バッファ、D Q Bはデータ出力バッファ、D Q P Bはデータ出力プリバッファである。

【0061】

前記図19の実施例と同様に、R T Eはデータ入出力信号を送受信する端子の入力インピーダンスを調整するための抵抗であり、本例ではインピーダンス制御回路I M C N T Tが端子Z Tに接続された抵抗R Tの抵抗値に基づいてR T Eの抵抗値を調整するようにしている。R Q Eはデータ入出力信号を送受信する端子の出力インピーダンスを調整するための抵抗であり、例えば上記例における出力バッファのインピーダンスに相当する。本例ではインピーダンス制御回路I M C N T Qが端子Z Qに接続された抵抗R Qの抵抗値に基づいてR Q Eの抵抗値を調整するようにしている。

【0062】

R P Eはデータ出力信号スルーレートを調整するための抵抗であり、例えば上記例における出力プリバッファのインピーダンスに相当する。本例ではJ T A Gを利用したスルーレート制御回路J T R C N TがJ T A G入力信号（T C K, T M S, T D I）に基づいてR P Eの抵抗値を調整するようにしている。この実施例でも、上記プロセッサ等により半導体メモリに対して読み出し動作や書き込み動作を行うときに、前記同様にシステム上において、外部端子に外付の終端抵抗を接続することなく、高速なデータ転送が可能となり、使い勝手のよい半導体メモリを実現することができる。

【0063】

図22は、図20の半導体メモリのデータ入出力回路D I O内の本発明に係わる部分の他の一実施例のブロック図が示されている。この実施例において、前記同様にD Qはデータ入出力信号である。また、D I Bはデータ入力バッファ、D Q Bはデータ出力バッファ、D Q P Bはデータ出力プリバッファである。

【0064】

前記図 21 の実施例と同様に、RTE はデータ入出力信号を送受信する端子の入力インピーダンスを調整するための抵抗であり、本例ではインピーダンス制御回路 IMCNTT が端子 ZT に接続された抵抗 RT の抵抗値に基づいて RTE の抵抗値を調整するようにしている。RQE はデータ入出力信号を送受信する端子の出力インピーダンスを調整するための抵抗であり、例えば上記例における出力バッファのインピーダンスに相当する。本例ではインピーダンス制御回路 IMCNTQ が端子 ZQ に接続された抵抗 RQ の抵抗値に基づいて RQE の抵抗値を調整するようにしている。

【0065】

この実施例では、更に抵抗 RC が追加され、インピーダンス制御回路 IMCNTQ で制御するようにしている。この抵抗 RC は、データ入力時とデータ出力時の両方に動作するため、入力インピーダンスと出力インピーダンスの調整に共通に使用することができる。このように共通化すると、その分だけ入出力回路のレイアウト面積を低減できるという効果がある。

【0066】

また、前記同様に RPE はデータ出力信号スルーレートを調整するための抵抗であり、例えば上記例における出力プリバッファのインピーダンスに相当する。本例では JTAG を利用したスルーレート制御回路 JTRCNT が JTAG 入力信号 (TCK, TMS, TDI) に基づいて RPE の抵抗値を調整するようにしている。

【0067】

図 23 には、出力プリバッファ回路の他の一実施例の回路図が示されている。この実施例では、前記図 2 の出力プリバッファの変形例に向けられている。この実施例において、D はデータ入力端子、OUT は出力端子であり、出力バッファへ接続される。また、IC はインピーダンス調整コード入力端子、SR<0>、SR<1>、SR<2> はスルーレート調整コード入力端子である。

【0068】

この実施例の出力プリバッファは、インピーダンス調整コード IC により選択

または非選択が切り換えられる。このため、図7においては、 IC_{n0} 、 IC_{n1} によって、動作させる出力プリバッファ群として300～302のプリバッファ群または310～312、320～322のプリバッファ群を選択し、その結果として動作させる出力バッファ群として出力MOSFET100～102のバッファ群または出力MOSFET110～112、120～122のバッファ群を選択することができる。

【0069】

また、スルーレート調整コード $SR<0:2>$ でPMOS40～42/NMOS50～52によるCMOSスイッチの中でオンするPMOS/NMOSの組み合わせを選択し、PMOS43のドレインノードに接続する容量の組み合わせをC0～C1の中から選択する。このようにして、PMOS43のドレインノードの時定数を変化させる。つまり、容量値を大きくすると出力端子OUTの立ち上りが遅くなり、それにより駆動される出力MOSFETでのスルーレートが小さくされる。

【0070】

図24には、出力プリバッファ回路の他の一実施例の回路図が示されている。この実施例では、前記図3の出力プリバッファの変形例に向けられている。この実施例において、Dはデータ入力端子、OUTは出力端子であり、出力バッファへ接続される。また、ICはインピーダンス調整コード入力端子、 $SR<0>$ 、 $SR<1>$ 、 $SR<2>$ はスルーレート調整コード入力端子である。

【0071】

この実施例の出力プリバッファは、インピーダンス調整コードICにより選択または非選択が切り換えられる。このため、図7においては、 IC_{p0} 、 IC_{p1} によって、動作させる出力プリバッファ群として400～402のプリバッファ群または410～412、420～422のプリバッファ群を選択し、その結果として動作させる出力バッファ群として出力MOSFET200～202のバッファ群または出力MOSFET210～212、220～222のバッファ群を選択することができる。

【0072】

また、スルーレート調整コード $SR < 0 : 2 >$ で PMOS 40 ~ 42 / NMOS 50 ~ 52 による CMOS スイッチの中でオンする PMOS / NMOS の組み合わせを選択し、NMOS 53 のドレインノードに接続する容量の組み合わせを C0 ~ C1 の中から選択する。このようにして、NMOS 53 のドレインノードの時定数を変化させる。容量値を大きくすると出力端子 OUT の立ち上がりが遅くなり、それにより駆動される出力 MOSFET でのスルーレートが小さくされる。

【0073】

図 25 には、この発明が適用される半導体メモリの一実施例のチップレイアウト図が示されている。同図において、MUL0 ~ MUL7、MUR0 ~ MUR7、MLL0 ~ MLL7、MLR0 ~ MLR7 は、メモリセルがアレー状に配置されたセルアレーであり、MWD はメインワードドライバである。また、CK / ADR / CNTL はクロック信号、アドレス信号、メモリ制御信号等の入力回路、DI / DQ はデータ入出力回路、I / O はモード切り換え信号、テスト信号、DC 信号等の入出力回路である。

【0074】

この実施例の半導体メモリは、センタパッド方式の例を示しており、このため CK / ADR / CNTL 回路、DI / DQ 回路及び I / O 回路もチップの中央に位置している。また、REG / PDEC はプリデコーダ等であり、DLLC はクロックの同期化回路であり、JTAG / TAP はテスト回路であり、VG は内部電源電圧発生回路である。Fuse はヒューズ回路であり、メモリアレー欠陥救済等に用いられる。VREF は入力信号を取り込むための参照電圧等を発生する。前述した出力バッファは DI / DQ 部に配置される。

【0075】

図 26 は、この発明が適用される半導体集積回路装置の他の一実施例のブロック図が示されている。同図において、CPU は中央演算装置であり、MEM はメモリ、I / O は入出力回路を示している。上述した出力バッファは I / O 部に適用される。このように、中央演算装置 CPU とメモリ MEM と本発明を適用した入出力回路 I / O を同一の半導体基板上に形成すると、CPU はある処理に対し

てメモリMEMと入出力回路I/Oと高速にデータをやりとりしながら演算を実行できるので、トータルの処理性能を向上できるという効果がある。

【0076】

図27には、この発明に係る半導体集積回路装置における入力終端抵抗付き入出力回路の一実施例のレイアウト図が示されている。図28には、図27をブロック化したレイアウト図が示され、図29には、図27の等価回路図が示され、図30には、図29を分かりやすく変形した回路図が示されている。

【0077】

図27において、信号パッド10から接続配線9、91、92を通して、順にESD保護素子(7d、8d)、抵抗素子6d、NチャネルMOSFET5d、PチャネルMOSFET4d、抵抗素子3d、NチャネルMOSFET2d、PチャネルMOSFET1d、差動入力回路400が接続されている。出力回路領域110にあるMOSFET4d、5d、抵抗素子6dが出力バッファを構成し、終端抵抗回路領域120にあるPMOSトランジスタ1d、NMOSトランジスタ2d及び抵抗素子3dが入力終端抵抗を構成している。各々のMOSFET、ESD保護素子の上層には、電源配線21~26が同図の横方向に配線され、図29又は図30に示したようにソース、又はアノード/カソード端子からコンタクトにより素子直上で接続される。

【0078】

終端抵抗をテブナン型終端(CTT; Center Tapped Termination)で構成する場合、単位回路を2組用い、一方をプルアップ側(VDDに接続)、他方をプルダウン側(VSSに接続)とすることで一組の入力終端抵抗となる。入力終端抵抗のレイアウトと出力バッファのレイアウトはレイアウトピッチDのように等ピッチで配置されており、かつ各々別個のMOSFET、抵抗が配置されている。

【0079】

このように単位回路を構成する素子を一直線上の配置とすることで、入力終端抵抗の要・不要に応じて出力バッファのドレインから延びているPAD配線を接続・切断すればよく、余分な迂回配線は不要となる。また、出力バッファで使用する抵抗素子6dを終端抵抗でも共用でき、総じてレイアウト面積、寄生容量の

低減が可能となる。

【0080】

さらに、素子直上の電源配線に接続可能なため、特にESD保護素子におけるESDサージ電流パスの寄生抵抗（パッドから電源ライン）を低く、電流集中箇所を作らないレイアウトにできる。また、別個に配置することで、MOSFETサイズ、抵抗素子サイズを出力、入力終端それぞれ独立に設計することが可能となる。差動入力回路へ接続される信号は、入力終端抵抗のドレイン端（接続配線92）から取っているが、入力PADにつながる配線であれば他の箇所でもよい。例えば、配線9または91、あるいは隣の終端回路から取ってもよい。

【0081】

図29または図30の回路動作は、次の通りである。データ入力時は出力MOSFET4u、5u、4d、5dがオフ状態にされ、MOSFET1u、2u、1d、2dがオン状態にされることで入力終端抵抗として動作する。データ出力時は逆にMOSFET4u、5u、4d、5dが出力すべきデータのハイレベル／ロウレベルに対応してオン状態にされ、MOSFET1u、2u、1d、2dがオフ状態にされることで出力バッファとして動作する。

【0082】

図31には、この発明に係る半導体集積回路装置に形成される終端抵抗付き入出力回路の一実施例の具体的レイアウト図が示されている。図32には、図31のA—A'における一実施例の素子断面図が示され、図33には、図31のB—B'における一実施例の素子断面図が示されている。そして、図34には、図31に示した入出力回路の等価回路図が示されている。

【0083】

図31において、終端抵抗、出力バッファそれぞれのインピーダンス調整を行うために図27の基本単位を組み合わせたレイアウトである。インピーダンス調整は、入力終端または出力バッファを等比分割し、オン状態にさせるMOSFETの総ゲートサイズを設定することで行われる。一例として、図31又は図34の実施例における終端抵抗プルアップ側40uのインピーダンスをR1、41uをR2、42uをR3、43u+44uをR4として、R1～R4の比を8：4

: 2 : 1 の様に比例させた並列接続とする。

【0084】

これにより、オン状態にさせる MOSFET 列を適当に選択することにより、 R_1 、 $R_1/2$ 、 $R_1/3$ から $R_1/15$ までの 15 通りのインピーダンス調整が可能となる。2 倍ごとに比例させたインピーダンスとすること、言い換えるならば、2 進の重みを持たせた抵抗比とすることで、 $R_1 \sim R_4$ の選択を 4 ビットのバイナリコードで制御することができる。プルダウン側、また出力バッファについても同様の原理で調整が可能である。

【0085】

図 31 において、終端抵抗 $42\ \mu$ の N チャンネル MOSFET、P チャンネル MOSFET のサイズを W_n 、 W_p 、抵抗素子のサイズを S とすると、 $41\ \mu$ はそれぞれ $W_n/2$ 、 $W_p/2$ 、 $2 * S$ 、 $40\ \mu$ は $W_n/4$ 、 $W_p/4$ 、 $4 * S$ となるため、MOSFET の減少分と抵抗素子の増分を合わせることで、トータルの列の高さが変わらないようなレイアウトが可能である。

【0086】

図 32 と図 33 の断面図において抵抗素子 $3\ d$ 、 $6\ d$ 、 $3\ u$ 、 $6\ u$ を N 型拡散抵抗で構成しているが、代わりにポリシリコンや、高抵抗金属配線等の抵抗体でもよい。また、ラッチアップ等の対策として、p 型基板から N チャンネル MOSFET を分離するための n 型の 3 重ウエルや、MOSFET の周囲にウエル給電を設けてあるが、これらは必要に応じて省略してもよい。また、図 34 において、終端用 MOSFET $1\ u$ 、 $2\ u$ 、 $1\ d$ 、 $2\ d$ はそれぞれどちらか一方で構成してもよいし、MOSFET $3\ u$ 、 $6\ u$ および MOSFET $3\ d$ 、 $6\ d$ を一つにまとめて配置してもよい。

【0087】

ESD 保護素子 $7\ u$ 、 $8\ u$ 、 $7\ d$ 、 $8\ d$ の放電能力はダイオードの周辺長に依存し、周辺長が長いほど放電電流が大きく取れる。そのため、同じ ESD 耐圧で素子面積を減らすためには、個々の列に分ける方が有効であるが、ESD 許容電圧と素子面積制限範囲との間で設計することができれば、素子をパッド 10 の直後に一つあるいは幾つかにまとめてもよい。また、図 31 の実施例の列の組み合

わせ数は10列であるが、設計に必要な任意の個数を組み合わせればよい。

【0088】

図35には、この発明に係る半導体集積回路装置における入力終端抵抗付き入力回路の一実施例のレイアウト図が示されている。図36には、図35をブロック化したレイアウト図が示され、図37には、図35の等価回路図が示され、図38には、図37を分かりやすく変形した回路図が示されている。

【0089】

図35の実施例は、入力専用回路における入力終端回路のレイアウト例である。つまり、この実施例は、前記図27の実施例で、出力回路領域110を取り除き、保護素子と終端回路領域120の抵抗素子を接続したのと同様の構成となっている。そのため、前記図27から図34までの前記説明のうちの出力バッファの説明の部分を除いた保護素子と終端回路については同様であるので、重複した説明を省略する。したがって、断面構造については、上記出力バッファの説明の部分を除いて前記図32及び図33と同様に構成できる。

【0090】

図39には、終端抵抗のインピーダンス調整回路の一実施例のブロック図が示されている。バイナリインピーダンスコード生成回路200において、LSI制御ピン201とグランド（回路の接地電位 V_{SS} ）との間につないだ抵抗素子202の抵抗値とLSI内の終端レプリカ回路304のオン抵抗値が等しくなるように、言い換えるならば、インピーダンス制御ピン201の電圧が、電源電圧 V_{DD} の $1/2$ になるように参照電圧を $V_{DD}/2$ とするコンパレータ301、プルアップコードカウンタ回路307、及びそれにより制御されるプルアップレプリカ回路304にてフィードバックループを構成し、プルアップ終端用インピーダンス調整コード212を生成する。つまり、上記フィードバックループより、上記インピーダンス制御ピン201の電圧が、 V_{DD} の $1/2$ に最も近くなるように上記プルアップコードカウンタ回路の計数値が設定される。

【0091】

プルダウン終端用インピーダンス調整コード213も同様な方法で生成される。つまり、上記プルアップレプリカ回路304と同じ構成のプルアップレプリカ

回路 305 とプルダウンレプリカ回路 306 により電源電圧 V_{DD} の分圧回路を構成し、その分圧点 309 の電圧が電源電圧 V_{DD} の $1/2$ になるように参照電圧を $V_{DD}/2$ とするコンパレータ 308、プルダウンコードカウンタ回路 310、及びそれにより制御されるプルダウンレプリカ回路 306 にてフィードバックループを構成し、プルダウン終端用インピーダンス調整コード 213 を生成する。

【0092】

上記のようにコンパレータ 301 の参照電圧は電源電圧 V_{DD} の $1/2$ としてある。これは、プルダウン側のインピーダンスコードを生成する際、外付け抵抗 202 の代わりにプルアップレプリカ回路 304 のコピーとなるレプリカ回路 305 を用いることが出来、回路構成を簡単にできる利点がある。

【0093】

次に、生成されたインピーダンスコードをコードシフト回路 208、210 において任意ビット数だけシフトさせる。シフト量は制御信号 207、209 にて設定される。これは、MOSFET のオン抵抗の非線形性により、入力電位が $V_{DD}/2$ からずれてくるに従い、終端抵抗値が高めにずれていってしまうという問題があるので、例えば 2 ビットシフトによるコードシフトによる補正を入れて解決するものである。

【0094】

コードシフト回路 208 で形成された終端プルアップ用インピーダンスコード 214 が制御クロックにより動作するラッチ回路 204 にいったん取り込まれ、かかるラッチ回路 204 を介して、終端抵抗ブロックを構成するプルアップ側終端抵抗 402 を構成する $\times 1 \sim \times 32$ のように抵抗値が 2 進の重みを持つように形成された P チャネル MOSFET のゲートに伝えられる。同様に、コードシフト回路 210 で形成された終端プルダウン用インピーダンスコード 215 が制御クロックにより動作するラッチ回路 205 にいったん取り込まれ、かかるラッチ回路 205 を介して、終端抵抗ブロックを構成するプルダウン側終端抵抗 403 を構成する $\times 1 \sim \times 32$ のように抵抗値が 2 進の重みを持つように形成された N チャネル MOSFET のゲートに伝えられる。

【0095】

この実施例でも、前記出力バッファのインピーダンス調整の場合と同様に、MOSFETのオン抵抗値がソースドレイン電圧依存性を持つものであるので、その直線性の改善のために各MOSFETに抵抗素子が直列に接続される。上記 $\times 1 \sim \times 32$ のように2進の重みを持つ抵抗値は、上記抵抗素子を含んだものとされる。

【0096】

図40には、図39の実施例の抵抗素子、及びコードシフト有無による終端抵抗誤差を説明するための電流 (current)－電圧 (voltage)特性図が示されている。この電流－電圧特性は、回路シミュレーションにて求めた結果である。補正が無い場合、前記MOSFETの非線形特性の影響が見え、入力電位が $VDD/2$ から離れるに従って電流が流れにくくなっていくのが判る。また、終端抵抗に抵抗素子を用いずMOSFETのみで構成した場合は、入力電位が $VDD/2$ から離れるに従いNチャネルMOSFET、PチャネルMOSFETそれぞれの特性が顕著に見え始め、終端の誤差が広がっており、また、終端回路の等価バイアス電圧が $VDD/2$ からずれてしまっているのが判る。

【0097】

図41には、この発明に係る半導体メモリチップにおける終端抵抗のインピーダンス調整回路の一実施例の全体ブロック図が示されている。同図の終端回路を含む各回路ブロックは、実際の半導体チップ上における幾何学的な配置に合わせて示されている。

【0098】

この実施例の半導体メモリのチップフロアプランは、長方形の半導体チップを長手方向の中央部に入出力回路I/O、制御回路を配置し、それを挟むようにメモリセルアレイ232と234が配置される。拡大して示されている上記中央部に設けられた各入力終端回路へインピーダンスコードを分配にあたっては、入力ピン間の終端インピーダンス値のばらつきを抑えるため、終端回路間で同期をとってコードを切り換える（アップデート）する必要がある。

【0099】

終端回路のチップ内配置が広範囲に渡る場合、つまり、インピーダンスコード信号の分配ディレイが、インピーダンスコード信号生成のサイクルに比べて大きくなってしまふ程広い範囲に配置されている場合は、上記コード生成回路 200 からの距離に応じて、例えば最も近い入力終端 221 と最も遠い入力終端 222 とでは、上記分配ディレイに対応して最新コードと旧コードとが混在するととなりインピーダンス値がばらついたように見えてしまう場合がある。この対策としては、インピーダンスコード信号生成のサイクル内に全ての終端インピーダンスをアップデートすればよいが、コード生成回路の配置個所の制約や、分配先の終端回路のチップ内配置個所の制約があるなど、インピーダンス調整に比べて優先される設計要求により困難な場合がある。

【0100】

それらの対策として、この実施例ではインピーダンスコードを終端回路に分配する際、終端回路の近くにコード保持用のラッチを複数重複させて分散配置させ、等スキューの制御クロックにより同期をとることで遠端／近端の終端回路の間で同じインピーダンスコードとなるようにしている。つまり、最近端終端回路 221 と最遠端終端回路 223 とが、等スキューの制御クロックにより同期して上記インピーダンスコードを取り込むので、上記インピーダンス値がばらつきを防止することができる。

【0101】

図 42 には、この発明に係る半導体メモリチップにおける終端抵抗のインピーダンス調整回路の他の一実施例の全体ブロック図が示されている。この実施例は、図 41 の変形例であり、入出力回路がチップの周辺領域に配置され、メモリセルアレイが中央に配置されることが異なる。このようなメモリチップにおいても、終端回路近辺にラッチを置き、制御クロックで同期をとることで、任意のサイクルにおけるピン間のインピーダンスコードが同じになるようにしている。尚、上記のコード#シフト、コード保持ラッチの分散配置に関しては、インピーダンス調整コードはチップ内部の生成回路で生成してもよいし、外部ピンから直接あるいは間接的に調整コードそのものを用いてもよい。

【0102】

図 4 3 には、この発明に係る終端抵抗ブロックの一実施例の回路図が示されている。この実施例の終端抵抗は、MOSFET 及びそれに接続される抵抗素子を含んで抵抗値が 2 進の重みを持つように形成される。つまり、コード # 0 (LSB)、コード # 1、コード # 2、コード # 3、コード # 4、コード # 5 (MSB) からなる 6 ビットのバイナリコードに対応して、抵抗値が $8R_p$, $8R_n$, $4R_p$, $4R_n$, $2R_p$, $2R_n$, R_p , R_n , $R_p/2$, $R_n/2$, $R_p/4$, $R_n/4$ とされる。上記コード # 0 ~ コード # 5 のそれぞれは、ラッチ回路に取り込ま、かかるラッチ回路に取り込まれコードが P チャネル MOSFET と N チャネル MOSFET のゲートに伝えられる。

【0103】

図 4 4 には、この発明に係る終端抵抗ブロックの他の一実施例の回路図が示されている。この実施例の終端抵抗は、バイナリコードに対応して MOSFET 及びそれに接続される抵抗素子を含んで抵抗値が 2 進の重み $8R_p$, $8R_n \sim 2R_p$, $2R_n$ を持つようにされた部分と、バイナリコードをデコーダでデコードして温度計符号に対応して同じ抵抗値 R_p , R_n を持つようにされた部分とに分けられる。

【0104】

前記 6 ビットのバイナリコードからなるコード # 0 ~ コード # 5 のうち、下位のコードであるコード # 0 ~ コード # 2 からなる 3 ビットは、前記図 4 3 の実施例と同様に 2 進の重み $8R_p$, $8R_n$, $4R_p$, $4R_n$, $2R_p$, $2R_n$ を持つようにされた対応する MOSFET のゲートに伝えられる。これに対して、上位のコードであるコード # 3 ~ コード # 5 からなる 3 ビットは、デコーダに伝えられる。デコーダは、上記のように 2 進符号を温度計符号に変換する。

【0105】

上記デコーダは、コード # 3 ~ # 5 が 000 のときには、出力コード out # 3 ~ out # 9 は、0000000 となり、コード # 3 ~ # 5 が +1 増加して 001 のときには、出力コード out # 3 ~ out # 9 は、0000001 となり、コード # 3 ~ # 5 が更に +1 増加して 010 のときには、出力コード out # 3 ~ out # 9 は、0000011 となり、コード # 3 ~ # 5 が更に +1 増加し

て011のときには、出力コードout#3～out#9は、0000111となる。このように2進の上記コード#3～#5が+1増加する毎に、オン状態になるMOSFETの数が1個ずつ増加させるような温度計符号を形成するものとされる。

【0106】

このように分割された終端回路の内、インピーダンスの小さい個所に関してはさらに等分に分割する。つまり、前記図39で分配されるバイナリコード214、215を分割数に応じてデコードしている。ここでは、6ビットのバイナリコードの内、上位3ビットを7分割し、前記温度計符号を利用してコード#に応じて1回路ずつ切り換える方式に変えている。これにより、インピーダンスを切り換える最小の個所は変更前で $R/32$ であったものが $R/8$ と4倍のインピーダンスまで大きくでき、後述するようにコード遷移状態でのインピーダンス変化量を小さくできる。このような上位コード分割により、一度にアップデートするトランジスタのサイズの総和を小さくすることができ、アップデートの遷移状態におけるインピーダンス変化の格差が低減される。

【0107】

図45には、上記終端抵抗回路における過渡的なインピーダンスの変化を定量化するため以下のシミュレーションで評価するためのモデル回路が示されている。SRAM PKG Ball 506は、SRAM入力ピンであり、パッケージ内配線505を通してプルアップ終端抵抗501、プルダウン終端抵抗502及び入力回路504が接続される。上記パッケージ内配線505には、ピン容量503が寄生容量として付加される。CPU PAD 511から伝送線520を介して書き込みデータ又はアドレス信号や制御信号がSRAMに伝えられる。上記伝送線520は、特性インピーダンス $Z = 55 \Omega$ (ohm) に設定される。

【0108】

図46には、前記図43に示した終端回路を用いた場合のシミュレーションによるノイズ波形が示されている。ここでは、インピーダンスコード# (011111) からコード# (100000) へのアップデートを例にとっている。このようなコードの遷移時、コード# (111111) あるいはコード# (0000

00)となる状態が一時的発生することで、終端回路のMOSFETが全てオンまたはオフしてしまい、SRAM入力ピン、及びCPU PADにノイズとして観測される。このシミュレーションではノイズ量は227mVと電源電圧1.6Vに対して無視できない量となっており、入力波形を歪ませ、SRAMを誤動作させる危険性がある。したがって、図43に示した終端回路を用いた場合には、上記のように一時的にコード#(111111)あるいはコード#(000000)となる状態が発生しないような回路工夫を行うことが必要となる。

【0109】

図47には、前記図44に示した終端回路を用いた場合のシミュレーションによるノイズ波形が示されている。前記同様にインピーダンスコード#(011111)からコード#(100000)へのアップデートを例にとっている。このようなコードの遷移時、コード#(111111)あるいはコード#(000000)となる状態が一時的発生しても、上記デコーダの作用によって、コード#に換算するとコード#(100111)あるいは#(011000)となり、終端回路のMOSFETが全てオンまたはオフするといった状態は発生しない。その効果として、入力ピンにおけるノイズ量は26mVまで低減させることができることが判る。

【0110】

この実施例の半導体集積回路装置のように、入力パッドから、ESD保護素子、抵抗、MOSFETの順に配置して一本の配線で接続したレイアウトを基本単位としてインピーダンス調整に必要な個数分を並列に配置することでストライプ状のレイアウトして一つの終端抵抗を構成することにより、高集積化が可能となる。入出力コモンピンについては、出力バッファについても同様にストライプ状レイアウトとし、終端抵抗レイアウトのゲート長方向のピッチを合わせたレイアウトとすることにより、高集積化が可能となる。

【0111】

入力終端抵抗、出力バッファとも、インピーダンス調整範囲、調整精度に応じで分割された回路構成をとる。分割方法は例えば等比分割(1, 2, 4, 8...)とし、それらをバイナリコードで切り換えることでインピーダンスを調整する。

一つの分割セルは、プルアップ側終端はPMOSと抵抗素子、プルダウン側終端はNMOSと抵抗素子から成り、オン抵抗に対する抵抗の比を大きく、例えば1:3などとして終端抵抗のリニアリティを確保することができる。

【0112】

前記実施例においては、ストライプ状レイアウトとして出力バッファと終端抵抗の基本単位のピッチをあわせることで、配線接続のための迂回配線が不要となり、レイアウト面積の低減及びピン容量の低減に効果がある。また、抵抗素子とMOSFETを組み合わせた構成とすることで、MOSFETのオン抵抗の非線形性が抵抗素子により補われるためソース／ドレイン間電圧が下がり、ホットキャリア信頼度劣化が低減できるとともに、終端インピーダンスが入力電位に依存せず一定にできる。

【0113】

この発明に係る半導体集積回路装置においては、チップ内に終端回路が設けられ、出力バッファの出力インピーダンスが伝送線路の特性インピーダンスに整合させられている。このため、この発明に係る半導体集積回路装置をシステムに搭載した場合、信号伝送を行う相手方の半導体集積回路装置の入力端子に終端抵抗が無くても、再反射ノイズを上記出力インピーダンスで吸収できるので高い周波数でのデータ転送を可能にする。あるいは、信号伝送を行う相手方の出力インピーダンスが伝送線路の特性インピーダンスに整合されてない場合でも、上記終端回路により反射ノイズを発生させないから高い周波数でのデータ転送を可能にする。このように、この発明に係る半導体集積回路装置では、システムを構成する実装基板上に終端抵抗等を接続することなく、高速なデータ転送を可能するから使い勝手がよく電子装置の小型化を実現することができる。

【0114】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、終端抵抗のプルアップおよびプルダウンの各々の抵抗間に差分（オフセット）をつけておくようにしてもよい。これにより、電源印加時に差動クロックピンがオープンの場合、入力ピンにのった

ノイズによる誤動作を防止することができる。全終端抵抗回路をオフにするモードを備えるようにしてもよい。これにより、低周波数動作、バーンイン時動作などにおける消費電力増加の抑止が可能となる。この発明は、半導体メモリの他、各種半導体集積回路装置に広く利用することができる。

【0115】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。出力回路を並列形態にされた複数からなる出力MOSFETを用い、第1制御手段により上記複数の出力MOSFETのうちオン状態にされる数を選択して出力インピーダンスの調整を行い、第2制御手段により上記オン状態にされる上記出力MOSFETの駆動信号の調整によりスルーレートの調整を行うことにより、インピーダンス調整とスルーレート調整を互いに独立して設定することを可能とし、調整回路の構成を簡単できる。

【0116】

外部端子から供給される入力信号を受ける入力回路に対して、上記外部端子に接続され、並列形態にされた複数からなるMOSFETを備えた終端回路を設け、第3制御手段により上記複数のMOSFETのうちオン状態にされる数を調整して終端抵抗の抵抗値の調整を行うことにより、信号伝送線路に整合させた終端回路を簡単に構成することができる。

【0117】

並列形態にされた複数からなる出力MOSFETの出力ノードが外部端子に接続された出力回路に対して、第1制御手段により上記複数の出力MOSFETのうちオン状態にされる数を選択して出力インピーダンスの調整を行い、第2制御手段により上記オン状態にされる上記出力MOSFETの駆動信号の調整によりスルーレートの調整を行い、上記外部端子から供給される入力信号を受ける入力回路に対して、並列形態にされた複数からなるMOSFETを備えた終端回路をスイッチ回路を介して上記外部端子に接続させ、第3制御手段により上記複数のMOSFETのうちオン状態にされる数を調整して終端抵抗の抵抗値の調整を行うことにより、システムを構成する実装基板上に終端抵抗等を接続することなく

、高速なデータ転送を可能するから使い勝手がよく電子装置の小型化を実現することができる。

【図面の簡単な説明】

【図 1】

この発明に係る半導体集積回路装置に設けられる出力バッファの一実施例を示す概略回路図である。

【図 2】

図 1 の出力プリバッファ 3 の一実施例を示す回路図である。

【図 3】

Pチャネル型の出力MOSFETを用いた出力バッファを駆動する出力プリバッファの一実施例を示す回路図である。

【図 4】

この発明に係る前記図 1 に示した出力バッファ 1 のインピーダンス設定方法の一実施例を示す説明図である。

【図 5】

図 2 の出力プリバッファ 3 の駆動力設定方法の一実施例を示す説明図である。

【図 6】

図 1 の出力バッファ群 20 ～ 22 毎に見たときのインピーダンスの説明図である。

【図 7】

この発明に係る半導体集積回路装置に設けられる出力バッファの他の一実施例を示す概略回路図である。

【図 8】

この発明に係る半導体集積回路装置に設けられる出力バッファの他の一実施例を示す構成図である。

【図 9】

この発明に係る出力バッファの構成単位の一実施例を示す回路図である。

【図 10】

図 9 に示した出力バッファのインピーダンスの出力電圧特性を回路シミュレー

ションにより解析した特性図である。

【図 11】

図 9 に示した出力バッファのインピーダンスの出力電圧特性を回路シミュレーションにより解析した他の特性図である。

【図 12】

図 8 の実施例のインピーダンスコード # 毎のサブグループ分割によるインピーダンス分割比率の特性図である。

【図 13】

図 8 の実施例のインピーダンスコードと出力インピーダンスの関係を回路シミュレーションにより解析した特性図である。

【図 14】

スルーレートと S R A M 電源ノイズの関係を回路シミュレーションにより解析した特性図である。

【図 15】

図 14 の回路シミュレーションに用いられる評価モデルのブロック図である。

【図 16】

この発明に係る出力バッファセルの一実施例を示す構成図である。

【図 17】

この発明に係る出力バッファの一実施例を示すレイアウト図である。

【図 18】

この発明が適用される半導体メモリの一実施例を示すブロック図である。

【図 19】

図 18 の半導体メモリのデータ入出力回路 D I O 内の一実施例を示すブロック図である。

【図 20】

この発明が適用される半導体メモリの他の実施例を示すブロック図である。

【図 21】

図 20 の半導体メモリのデータ入出力回路 D I O 内の本発明に係わる部分の一実施例を示すブロック図である。

【図 2 2】

図 2 0 の半導体メモリのデータ入出力回路 D I O 内の本発明に係わる部分の他の一実施例を示すブロック図である。

【図 2 3】

この発明に係る出力プリバッファ回路の他の一実施例を示す回路図である。

【図 2 4】

この発明に係る出力プリバッファ回路の他の一実施例を示す回路図である。

【図 2 5】

この発明が適用される半導体メモリの一実施例を示すチップレイアウト図である。

【図 2 6】

この発明が適用される半導体集積回路装置の他の一実施例を示すブロック図である。

【図 2 7】

この発明に係る半導体集積回路装置における入力終端抵抗付き入出力回路の一実施例を示すレイアウト図である。

【図 2 8】

図 2 7 の入出力回路をブロック化したレイアウト図である。

【図 2 9】

図 2 7 の入出力回路の等価回路図である。

【図 3 0】

図 2 9 の入力出力回路を分かりやすく変形した回路図である。

【図 3 1】

この発明に係る半導体集積回路装置に形成される終端抵抗付き入出力回路の一実施例を示す具体的レイアウト図である。

【図 3 2】

図 3 1 の A—A' における一実施例を示す素子断面図である。

【図 3 3】

図 3 1 の B—B' における一実施例を示す素子断面図である。

【図 3 4】

図 3 1 に示した入出力回路の等価回路図である。

【図 3 5】

この発明に係る半導体集積回路装置における入力終端抵抗付き入力回路の一実施例を示すレイアウト図である。

【図 3 6】

図 3 5 の入力回路をブロック化したレイアウト図である。

【図 3 7】

図 3 5 の入力回路の等価回路図である。

【図 3 8】

図 3 7 の入力回路を分かりやすく変形した回路図である。

【図 3 9】

この発明に係る終端抵抗のインピーダンス調整回路の一実施例を示すブロック図である。

【図 4 0】

図 3 9 に示したインピーダンス調整回路を説明するための電流－電圧特性図である。

【図 4 1】

この発明に係る半導体メモリチップにおける終端抵抗のインピーダンス調整回路の一実施例を示す全体ブロック図である。

【図 4 2】

この発明に係る半導体メモリチップにおける終端抵抗のインピーダンス調整回路の他の一実施例を示す全体ブロック図である。

【図 4 3】

この発明に係る終端抵抗ブロックの一実施例を示す回路図である。

【図 4 4】

この発明に係る終端抵抗ブロックの他の一実施例を示す回路図である。

【図 4 5】

図 4 3 と図 4 4 の終端抵抗回路における過渡的なインピーダンスの変化をシミ

ュレーションで評価するモデル回路のブロック図である。

【図 4 6】

図 4 3 に示した終端回路を用いた場合のシミュレーションによるノイズ波形図である。

【図 4 7】

図 4 4 に示した終端回路を用いた場合のシミュレーションによるノイズ波形図である。

【符号の説明】

1, 2…出力バッファ、3, 4…出力プリバッファ、100～122…Nチャネル出力MOSFET、200～222…Pチャネル出力MOSFET、300～322, 400～422…出力プリバッファ、40～43…PチャネルMOSFET、50～53…NチャネルMOSFET、60～62…ゲート回路、

PBF…出力プリバッファ、NMOS…NチャネルMOSFET、PMOS…PチャネルMOSFET、XADR…行アドレス信号、YADR…列アドレス信号、XDEC…行アドレスデコーダ、XDR…ワード線ドライバ、MCA…メモリセルアレー、YDEC…列アドレスデコーダ、YSW…列選択回路、DIO…データ入出力回路、INCKT…内部回路、DIB…データ入力バッファ、DQP B…出力プリバッファ、DQO…出力バッファ、IMCNTT…インピーダンス制御回路、IMCNTQ…インピーダンス制御回路、JTRCNT…スルーレート制御回路、

MUL0～MUL7、MUR0～MUR7、MLL0～MLL7、MLR0～MLR7…セルアレー、MWD…メインワードドライバ、CK/ADR/CNTL…入力回路、DI/DQ…データ入出力回路、I/O…入出力回路、REG/PDEC…プリデコーダ等、DLLC…同期化回路、JTAG/TAP…テスト回路、VG…内部電源電圧発生回路、Fuse…ヒューズ回路、VREF…参照電圧発生回路、

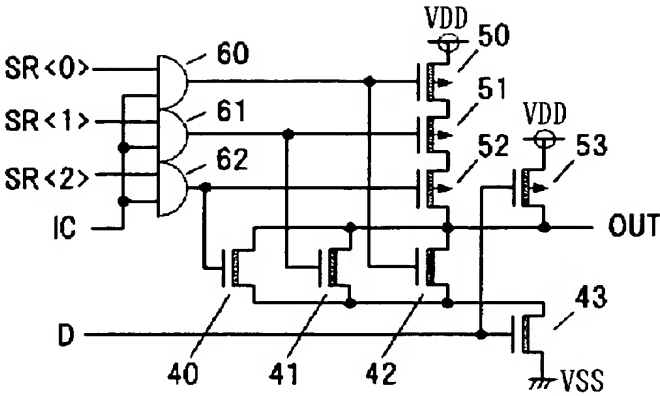
IC…半導体集積回路装置、CPU…中央演算装置（プロセッサ）、MEM…メモリ、I/O…入出力回路、

100…保護素子領域、110…出力回路領域、120…終端回路領域、13

0…内部回路領域、4 0 0…差動入力回路、

2 3 2, 2 3 4…メモリセルアレイ、2 3 3…I/O回路、制御回路、2 0 0
…コード生成回路、2 0 8…コードシフト回路、2 2 6…クロック分配線、2 0
4…ラッチ回路、2 1 1…終端回路ブロック、2 2 1…最近端終端回路、2 2 2
…最近端インピーダンスコード、2 2 3…最遠端終端回路、2 2 4…最遠端イン
ピーダンスコード、2 2 5…中継バッファ。

【図 3】



【図 4】

インピーダンスコード		動作するバッファ (個数)		DQ インピーダンス
IC1	IC0			
0	0	なし	0	∞
0	1	100~102	3	R
1	0	110~122	6	R/2
1	1	100~122	9	R/3

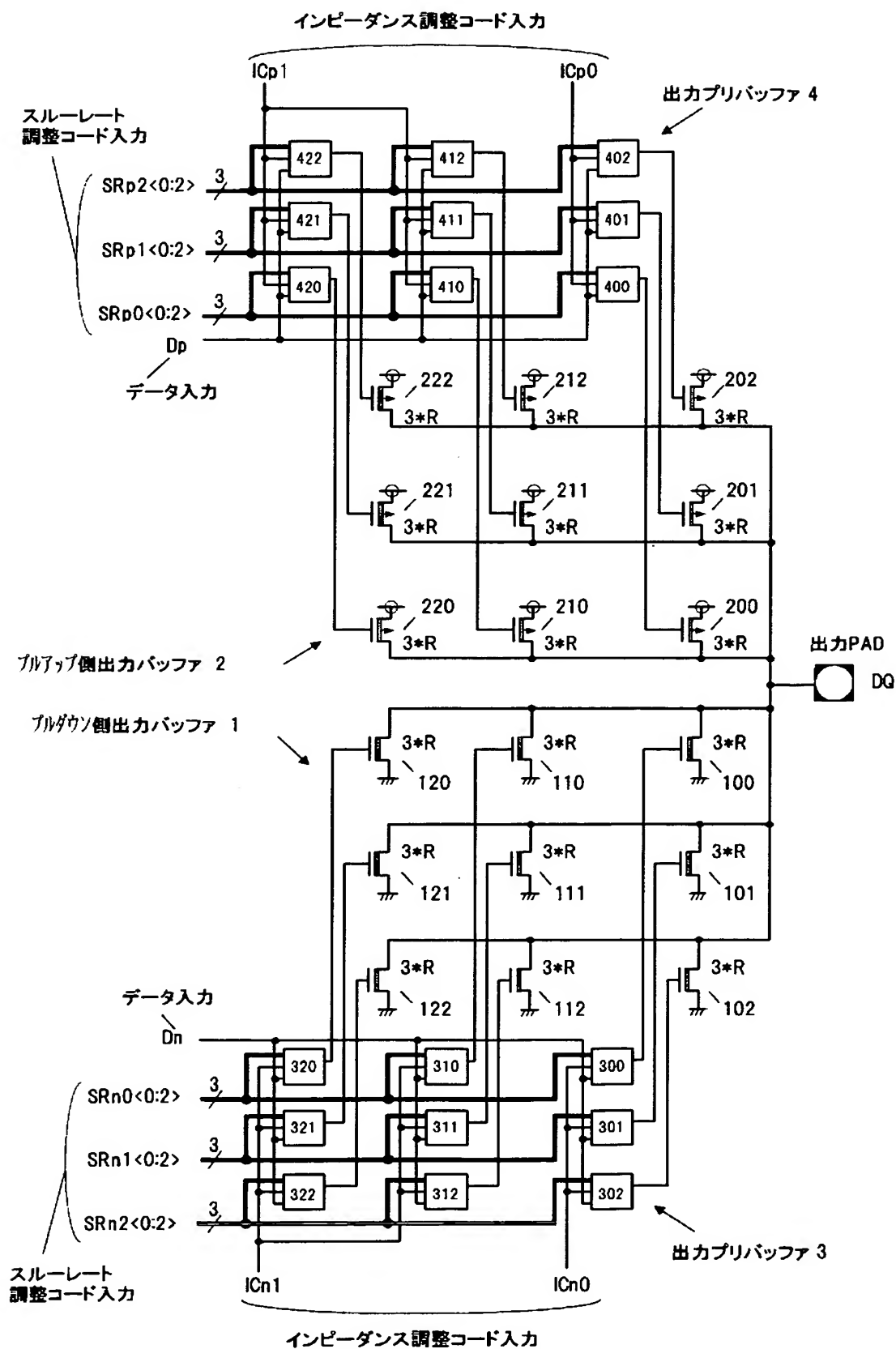
【図 5】

スルーレートコード			オンする PMOS	フリバッファ オン抵抗	出力 スルーレート
SR<2>	SR<1>	SR<0>			
1	1	1	40~42	小	大
1	1	0	40,41	↑	↑
1	0	1	40,42		
1	0	0	40		
0	1	1	41,42		
0	1	0	41	↓	↓
0	0	1	42	大	小
0	0	0	なし	∞ (禁止)	-

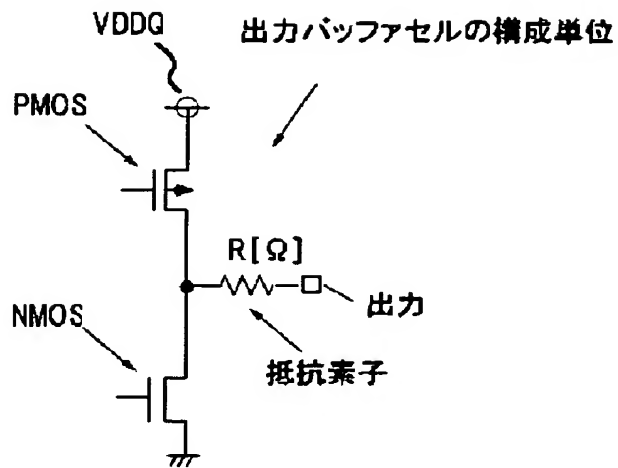
【図 6】

スルーレートコードで調整されるバッファ群	インピーダンスコード組合せ (IC1, IC0)			
	0,0	0,1	1,0	1,1
20	∞	3*R	1.5*R	R
21	∞	3*R	1.5*R	R
22	∞	3*R	1.5*R	R
トータル	∞	R	R/2	R/3

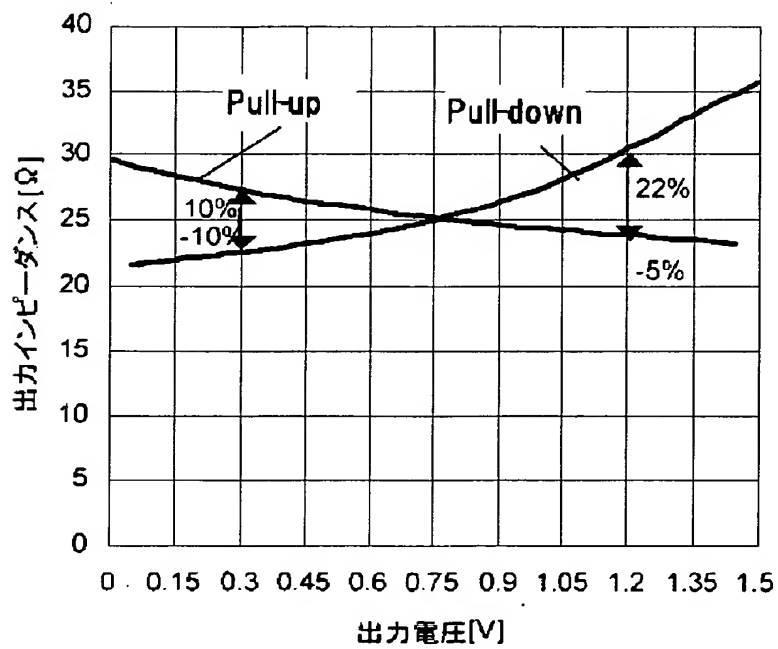
【図 7】



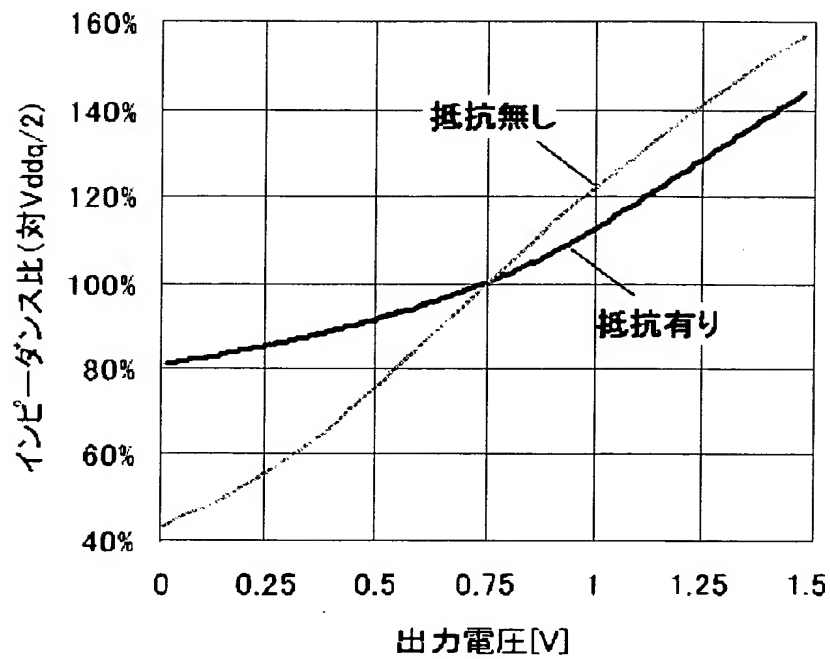
【図 9】



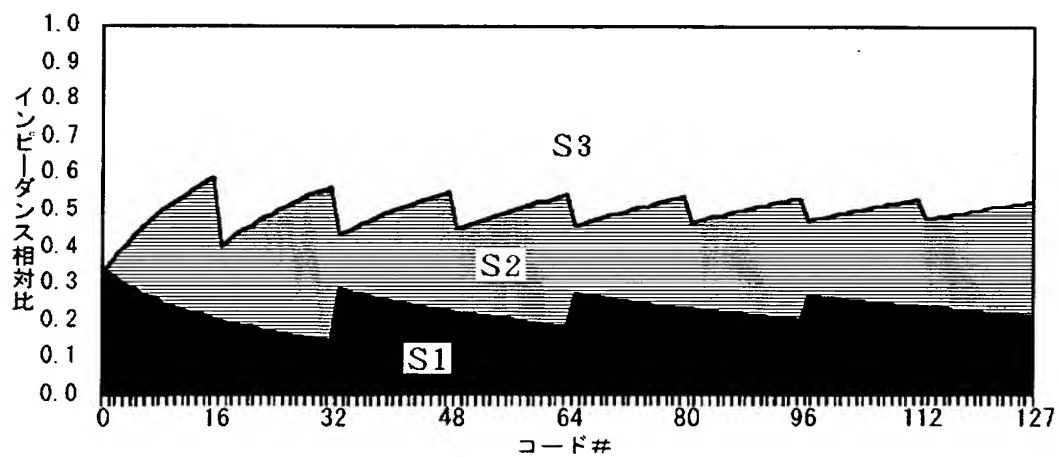
【図 10】



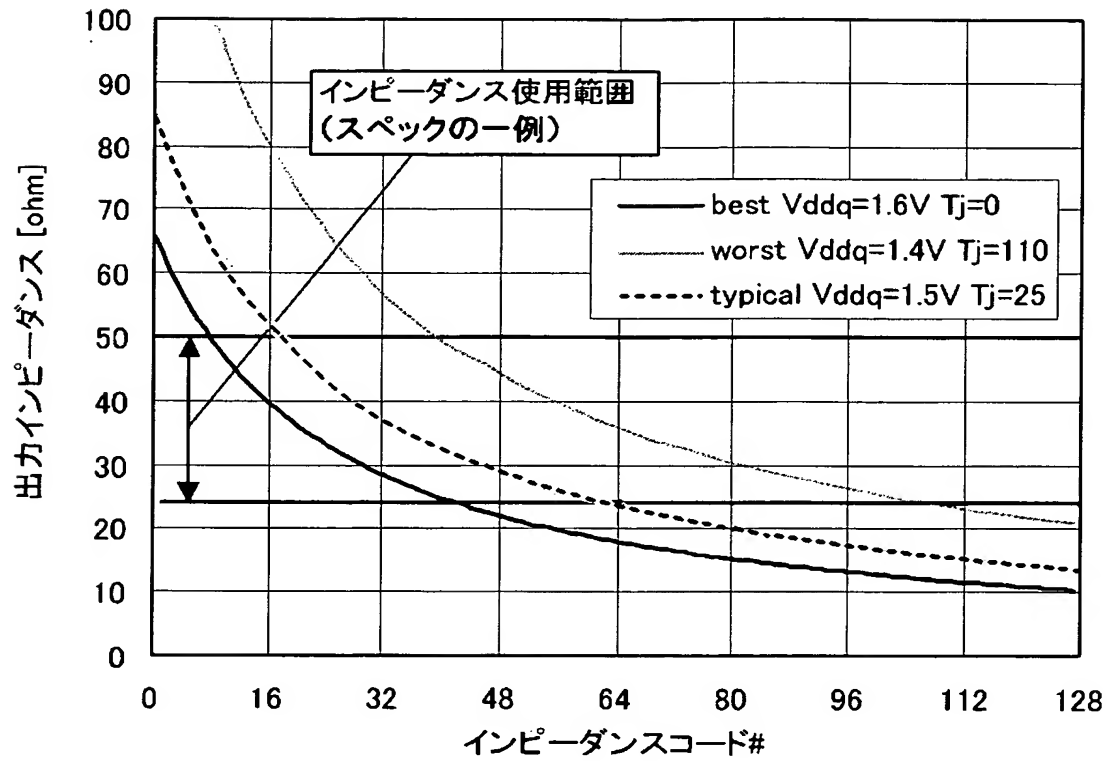
【図 1 1】



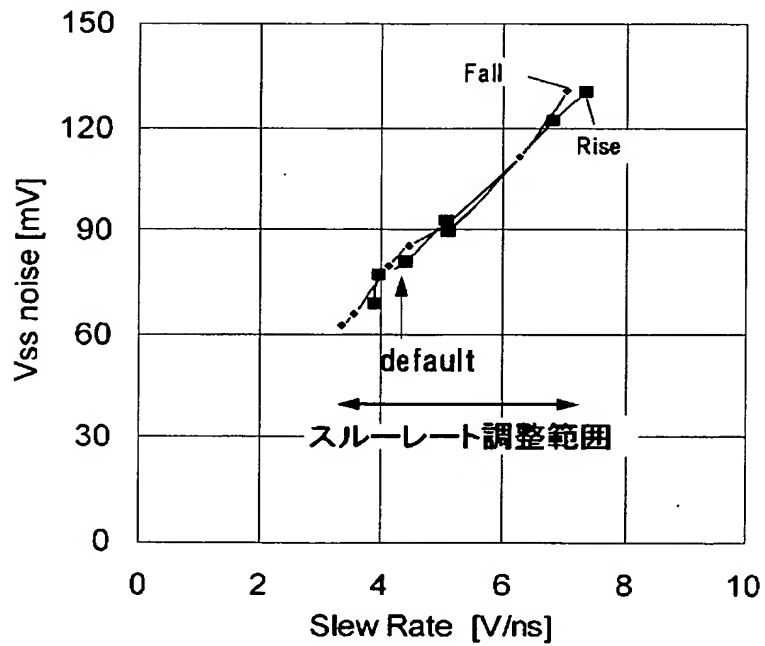
【図 1 2】



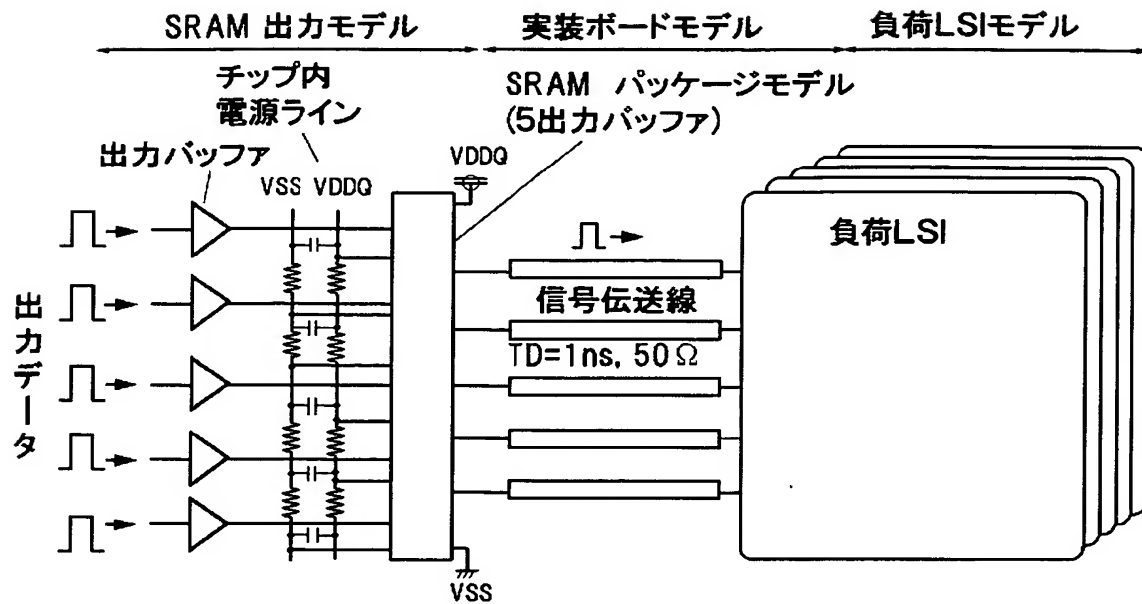
【図 1 3】



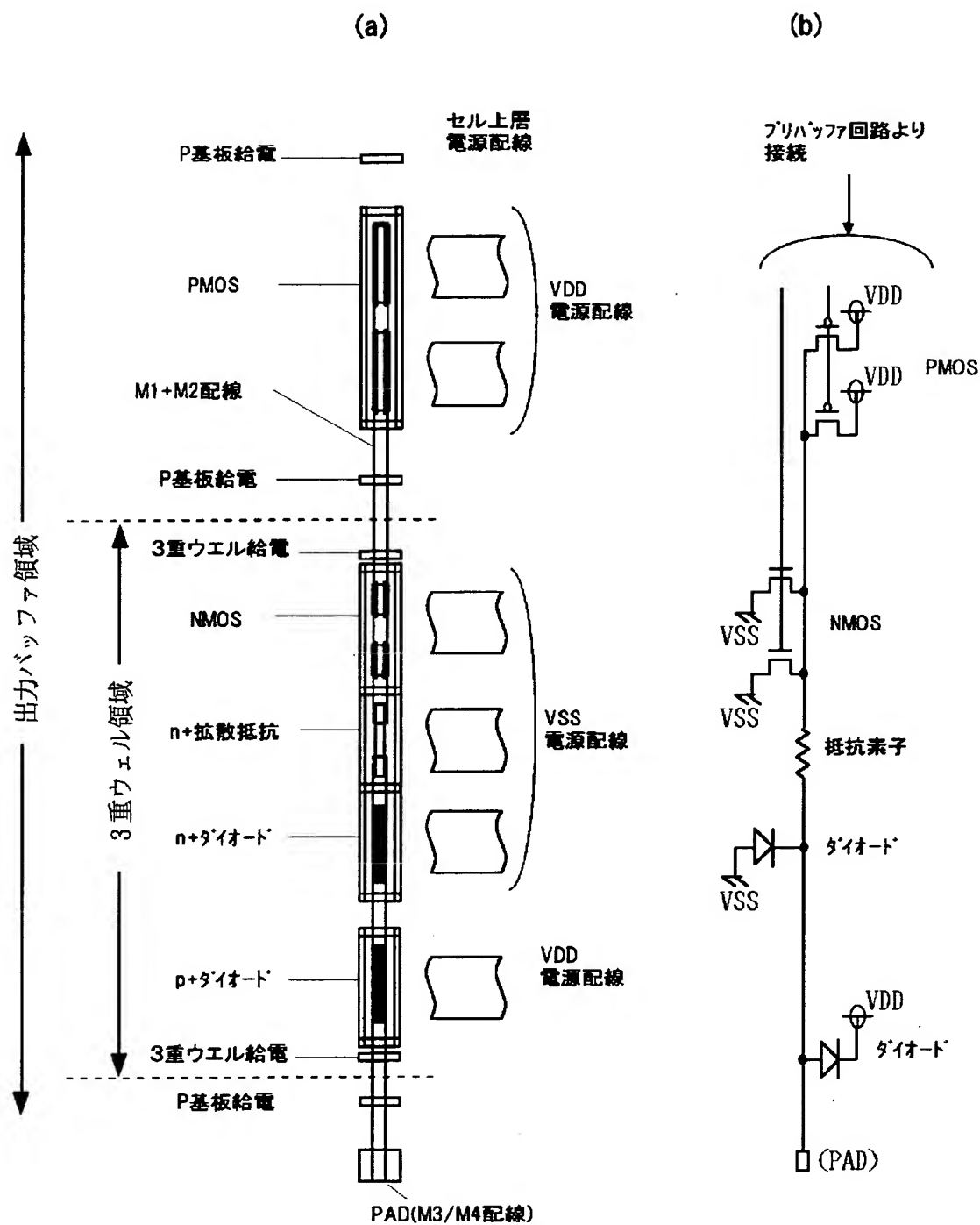
【図 1 4】



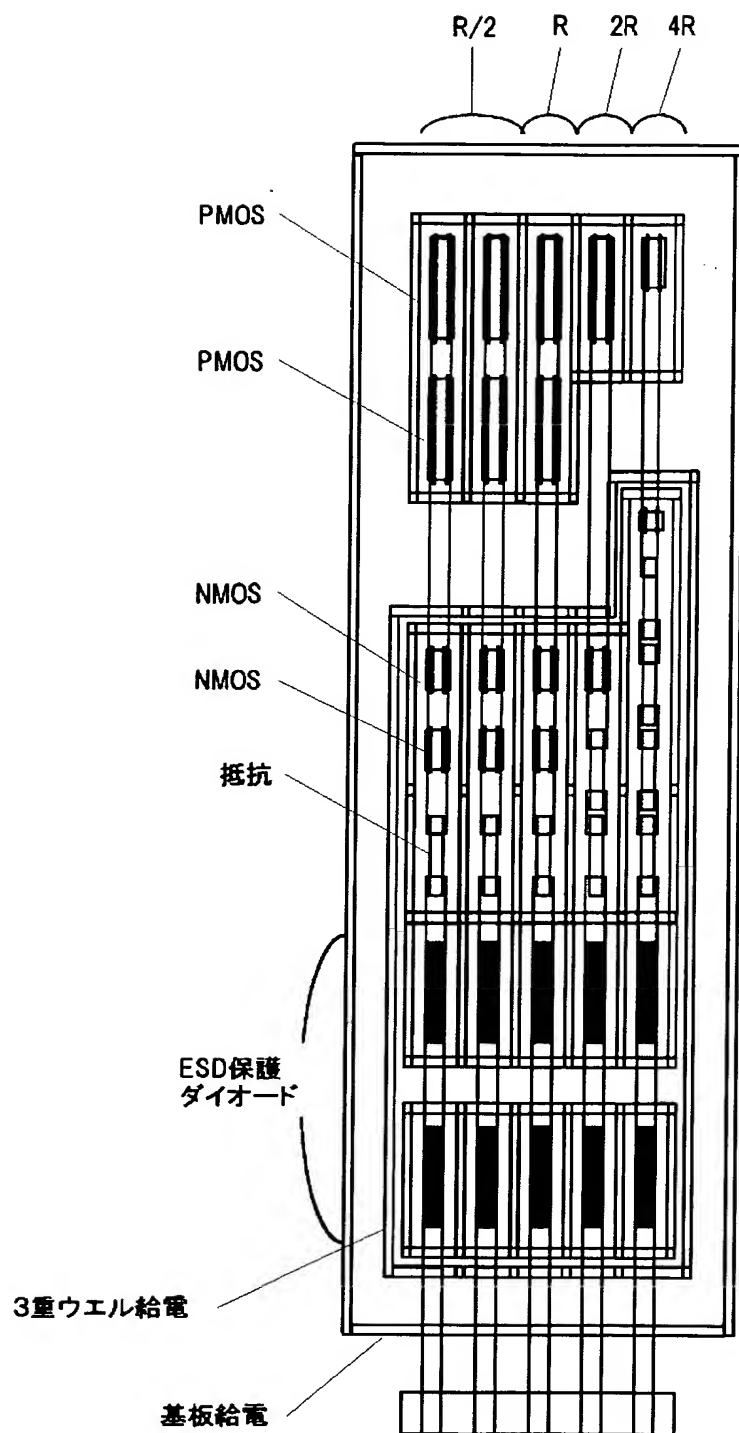
【図15】



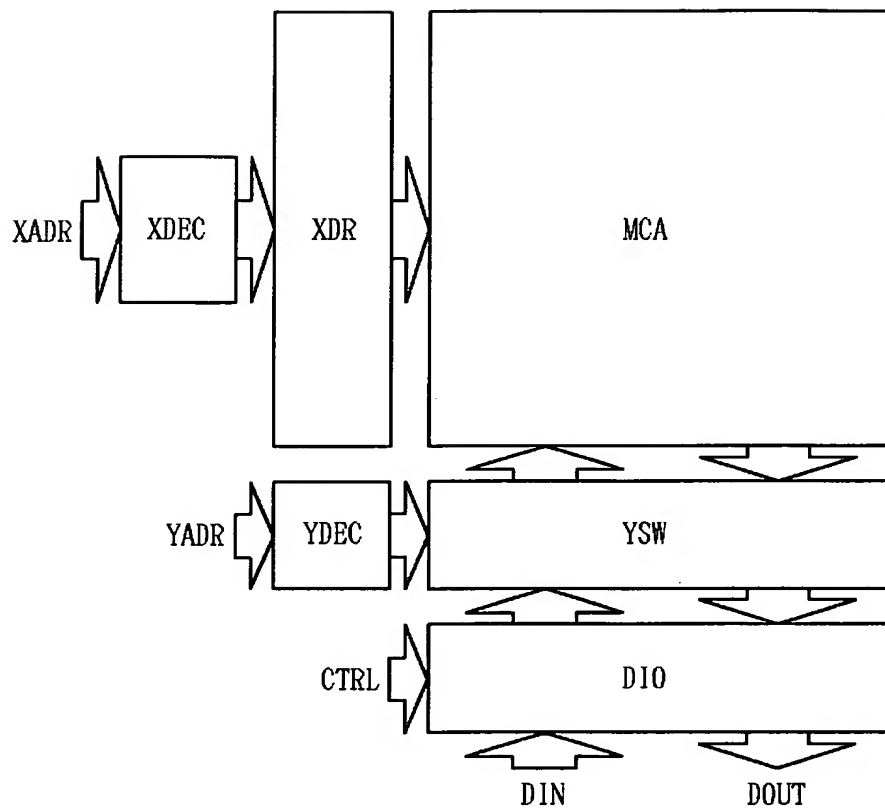
【図 16】



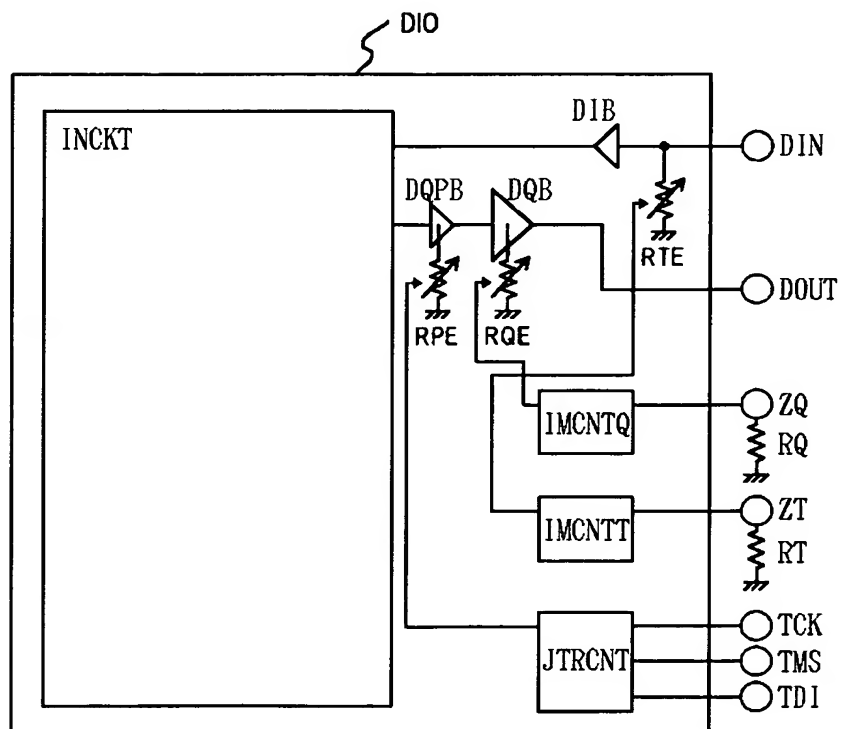
【図 17】



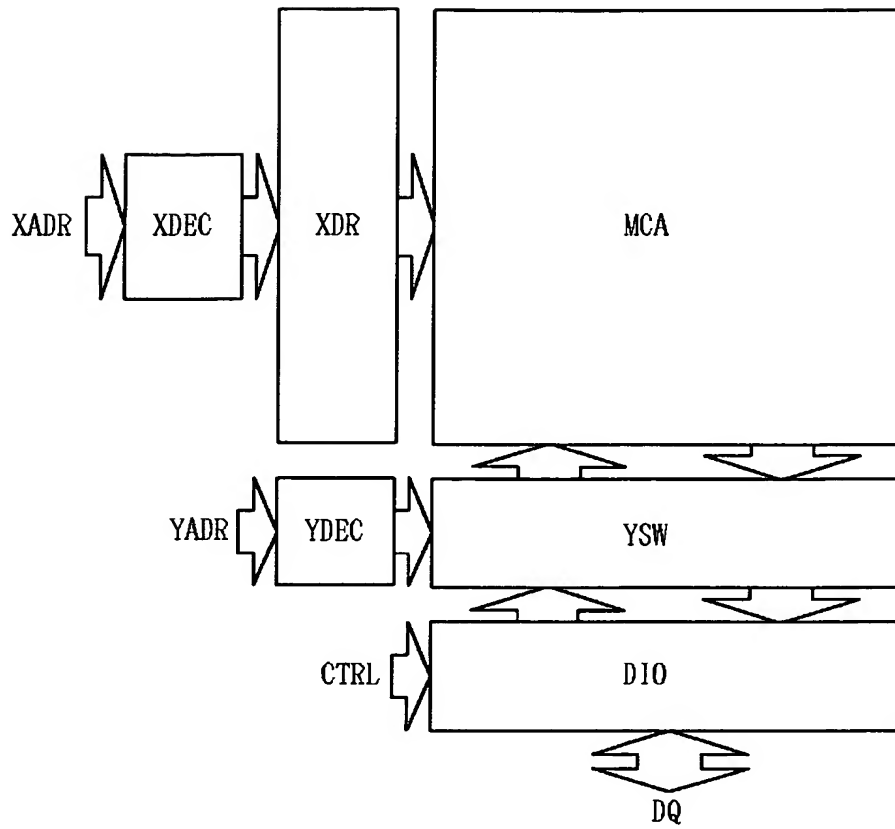
【図 18】



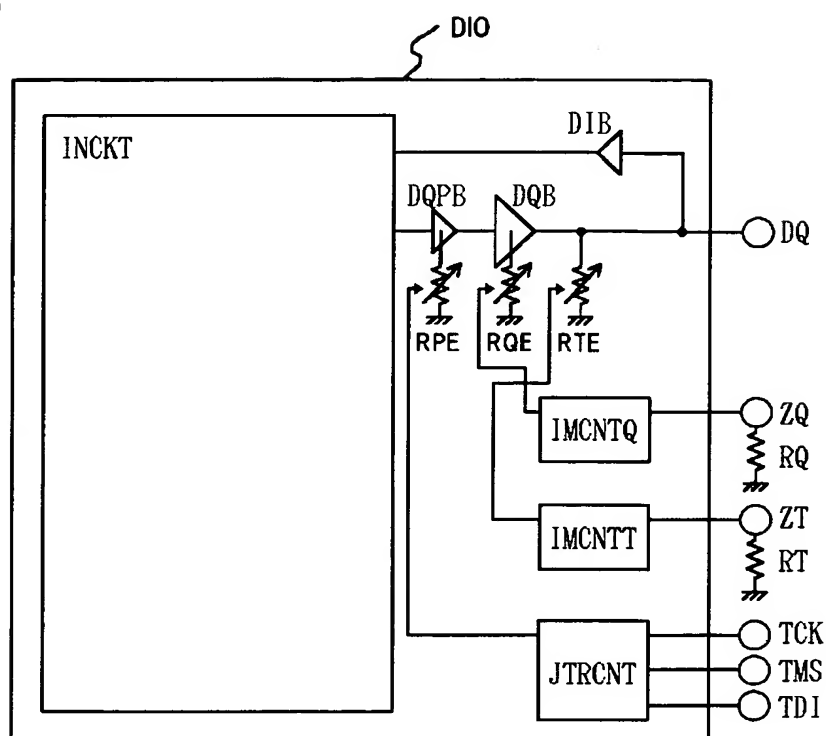
【図 19】



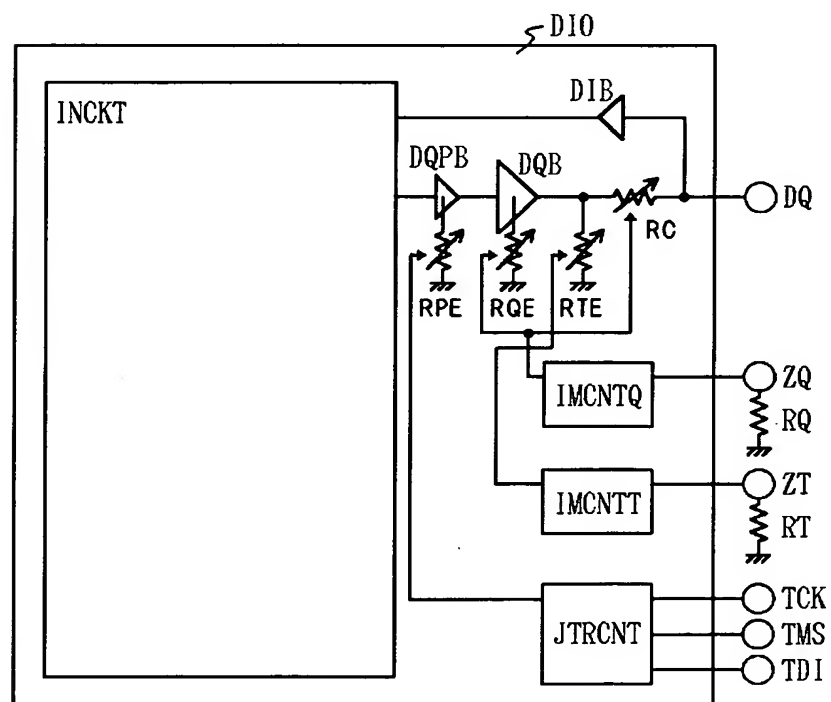
【図 20】



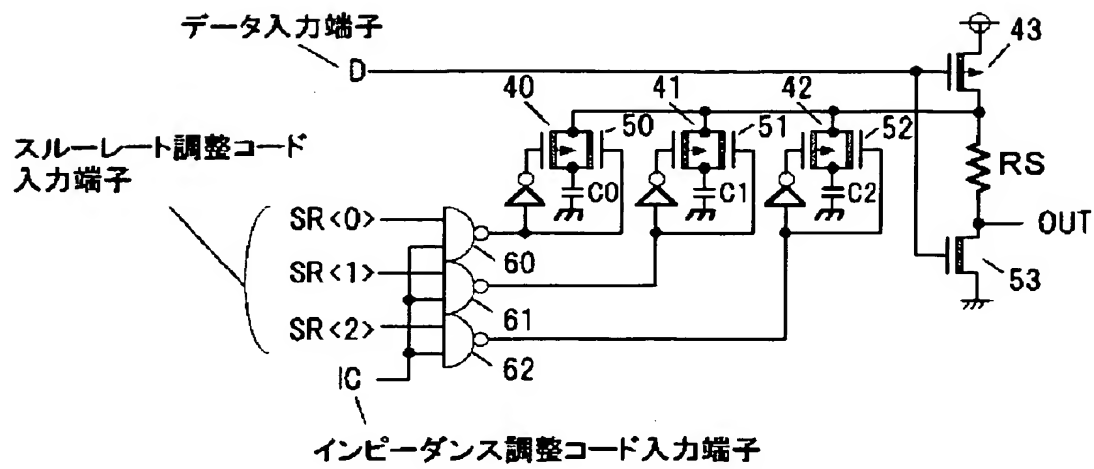
【図 2 1】



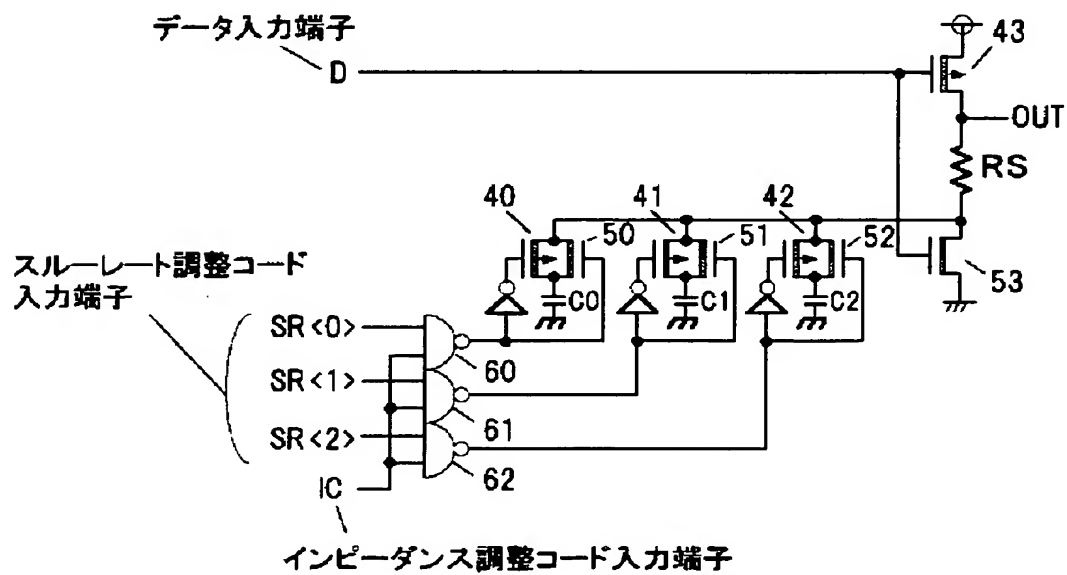
【図 2 2】



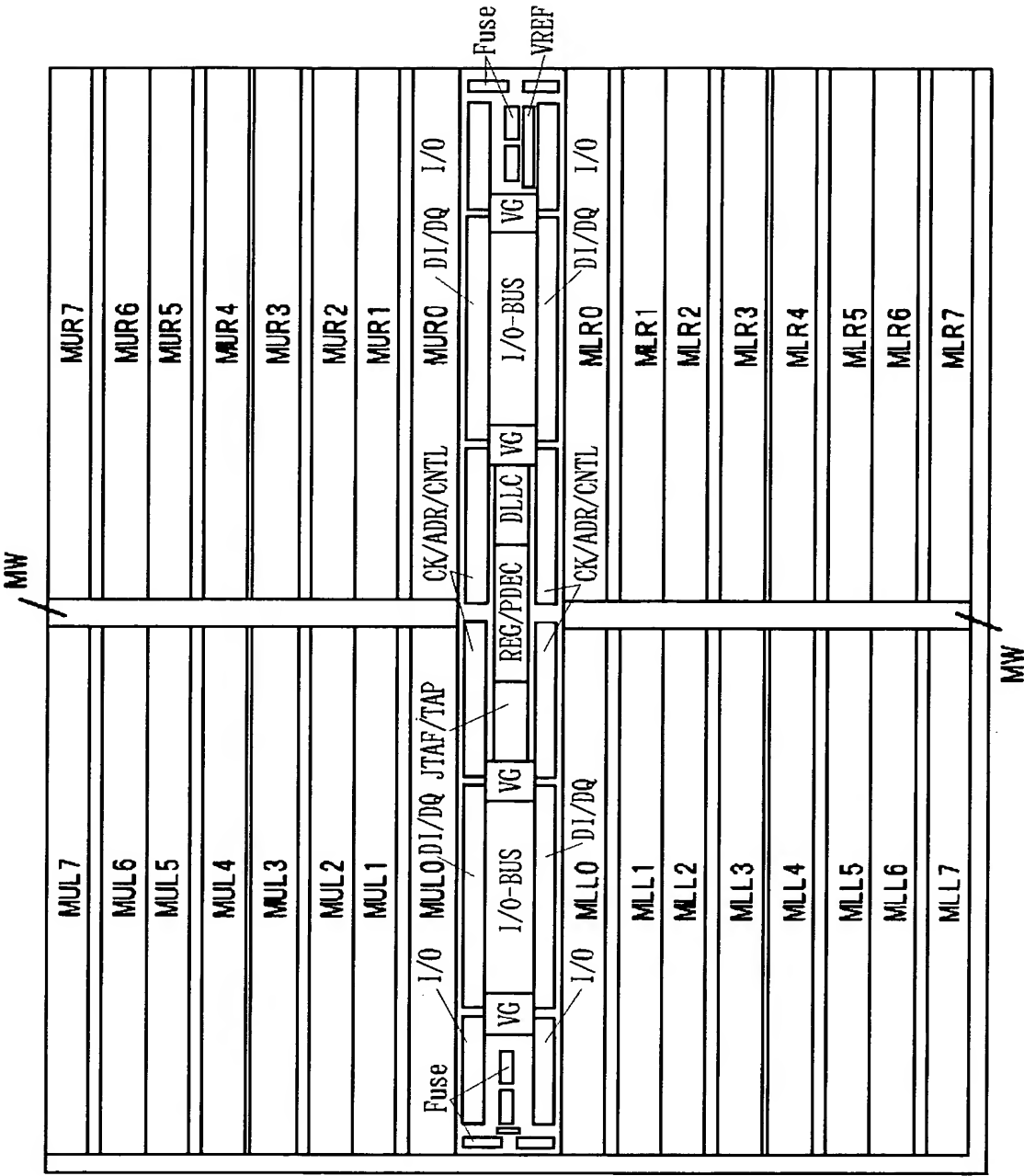
【図 23】



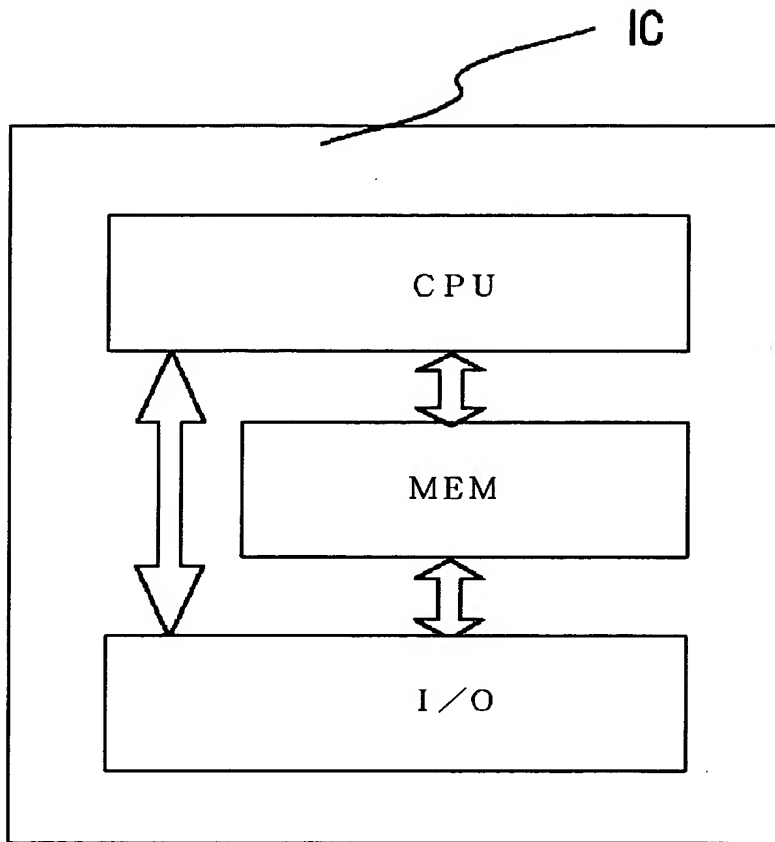
【図 24】



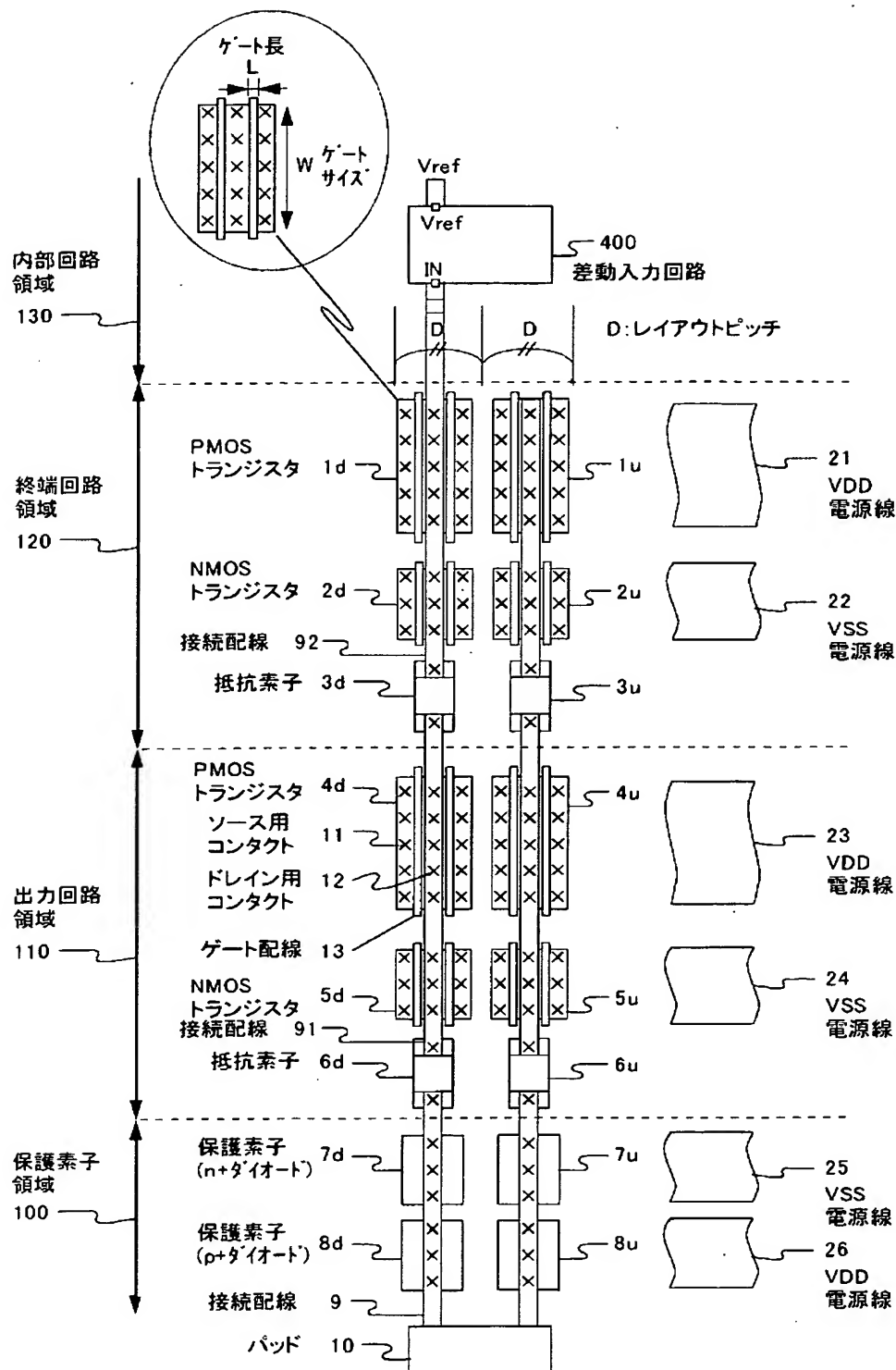
【図 25】



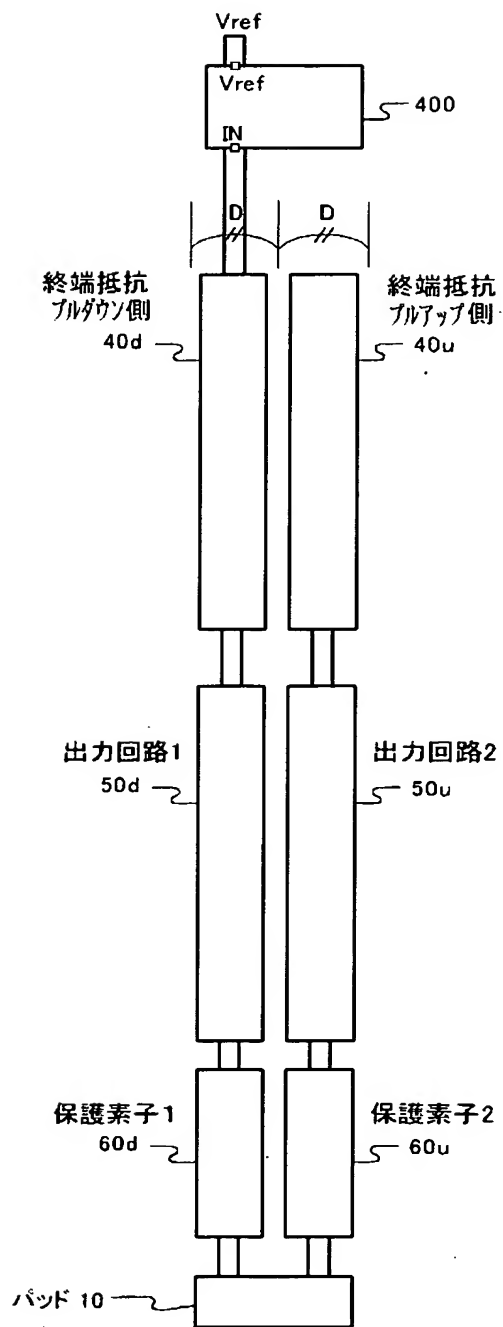
【図 26】



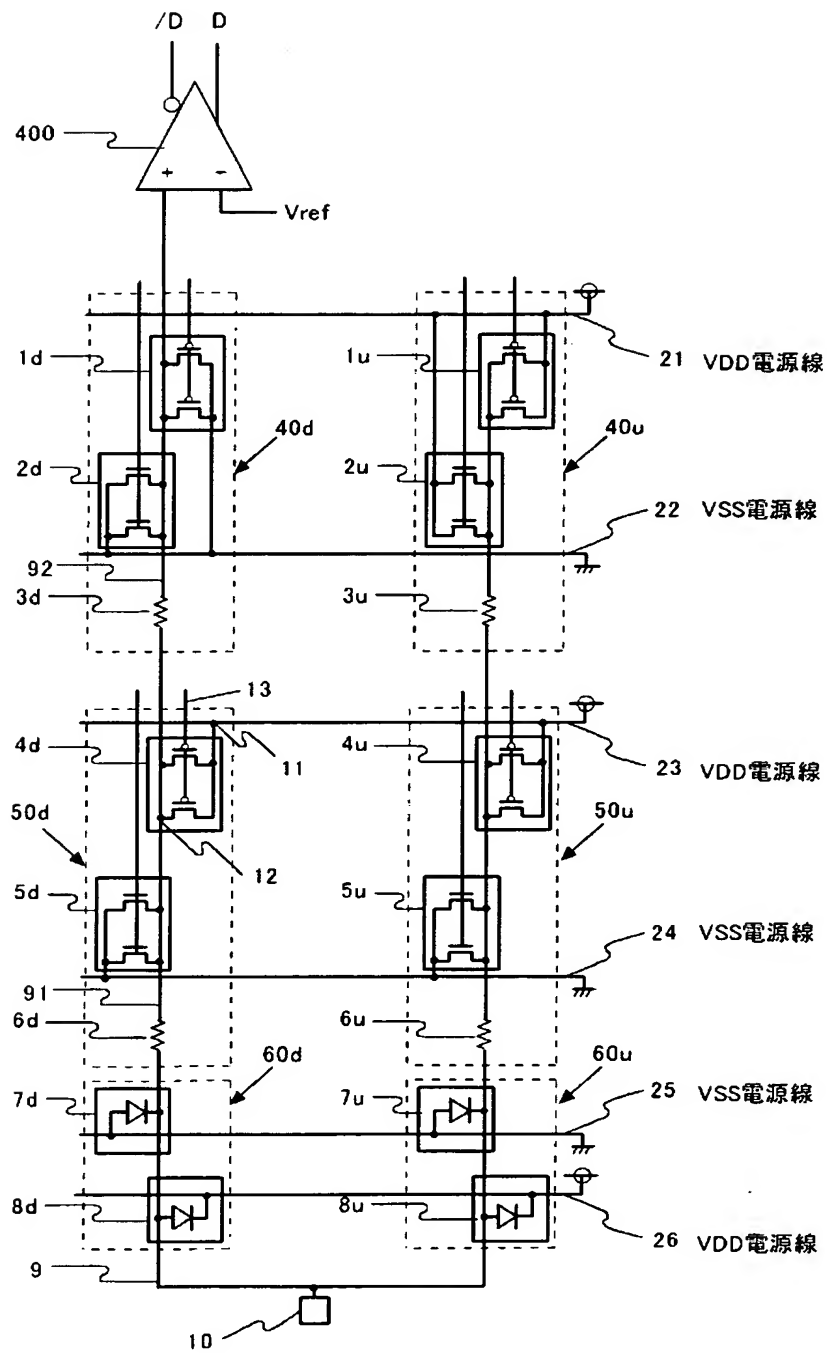
【図 27】



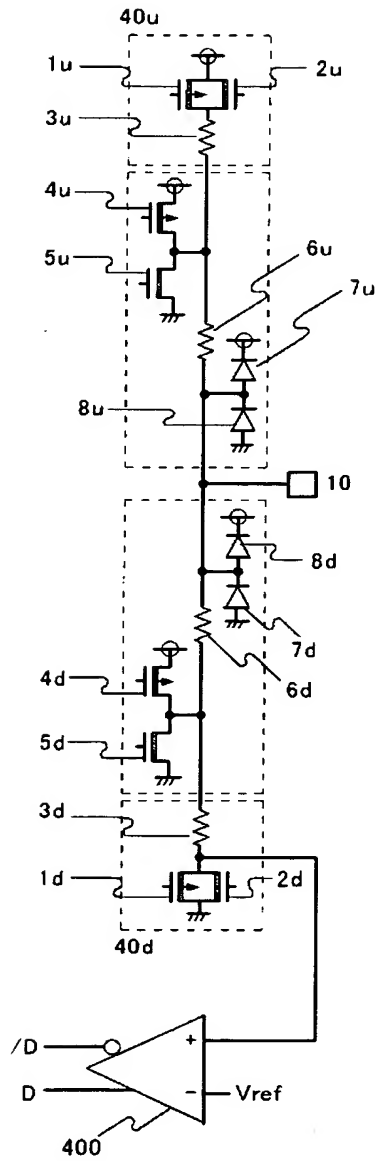
【図 28】



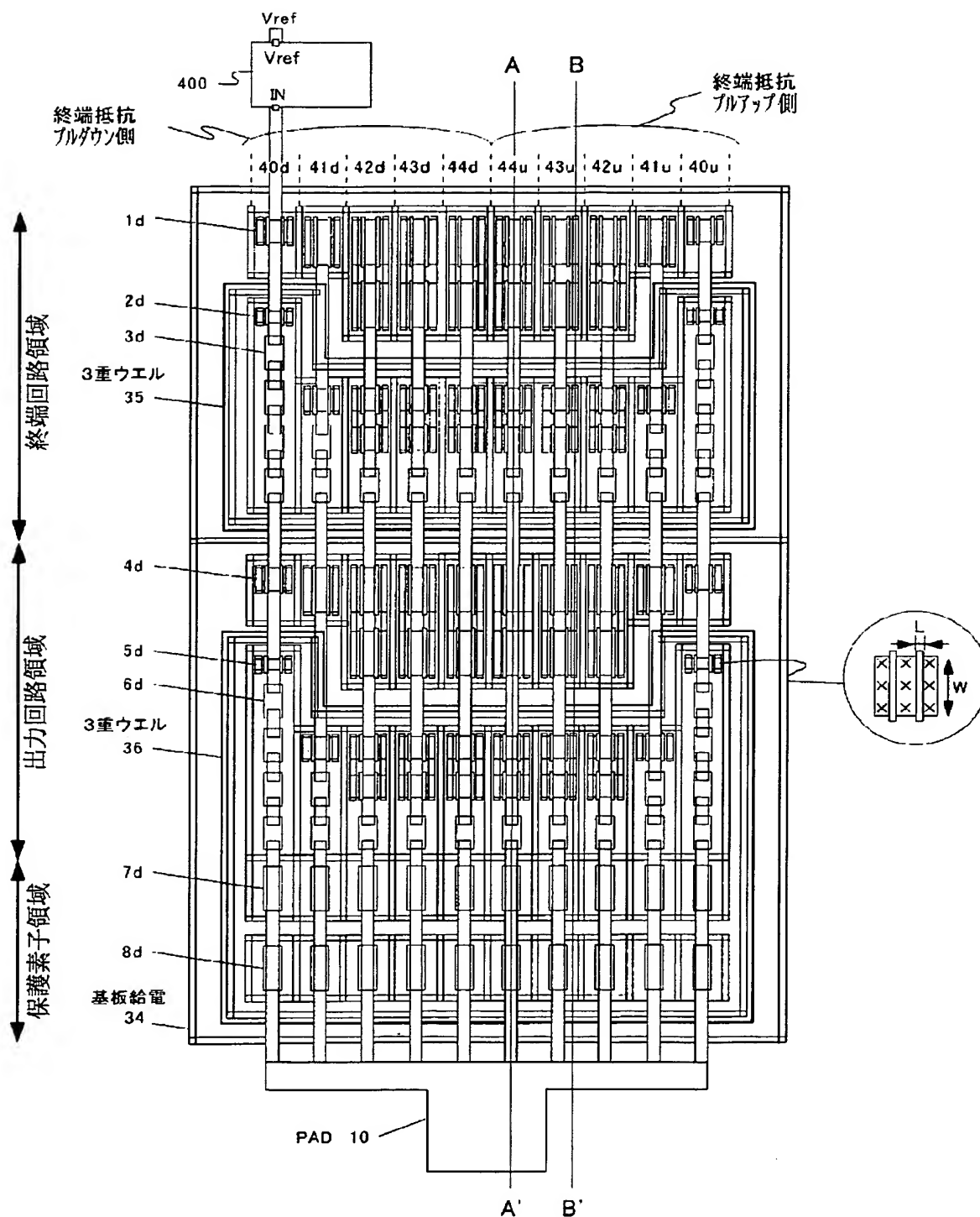
【図 29】



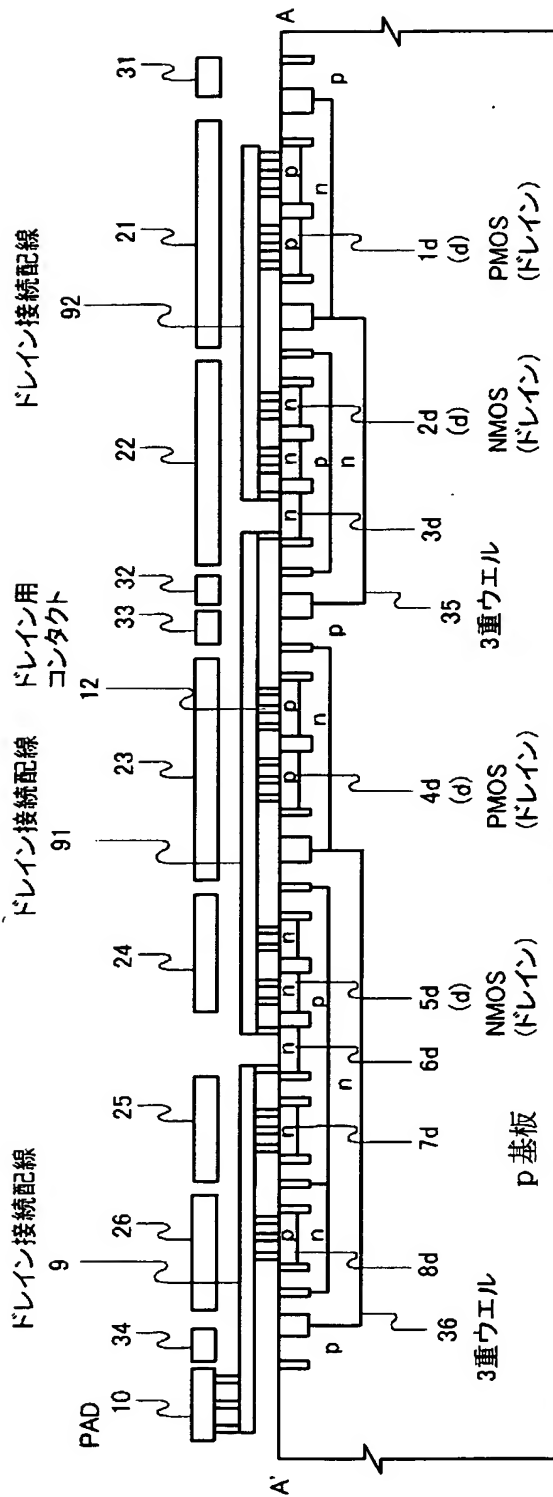
【図 30】



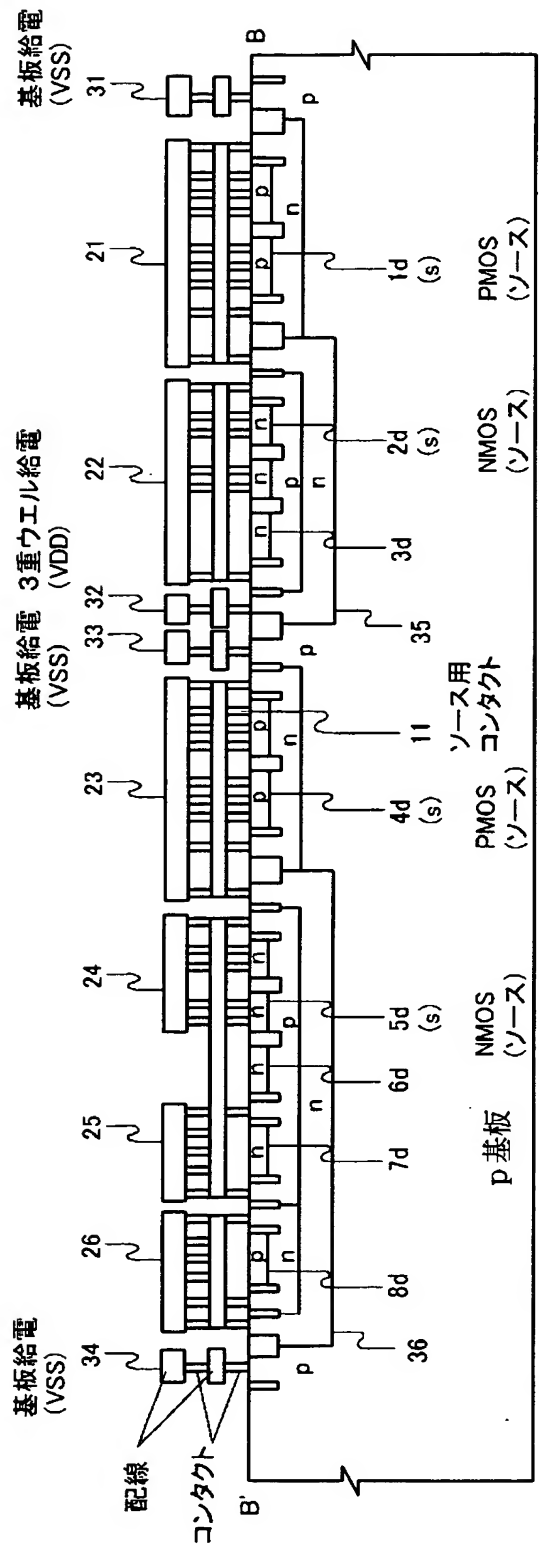
【図 31】



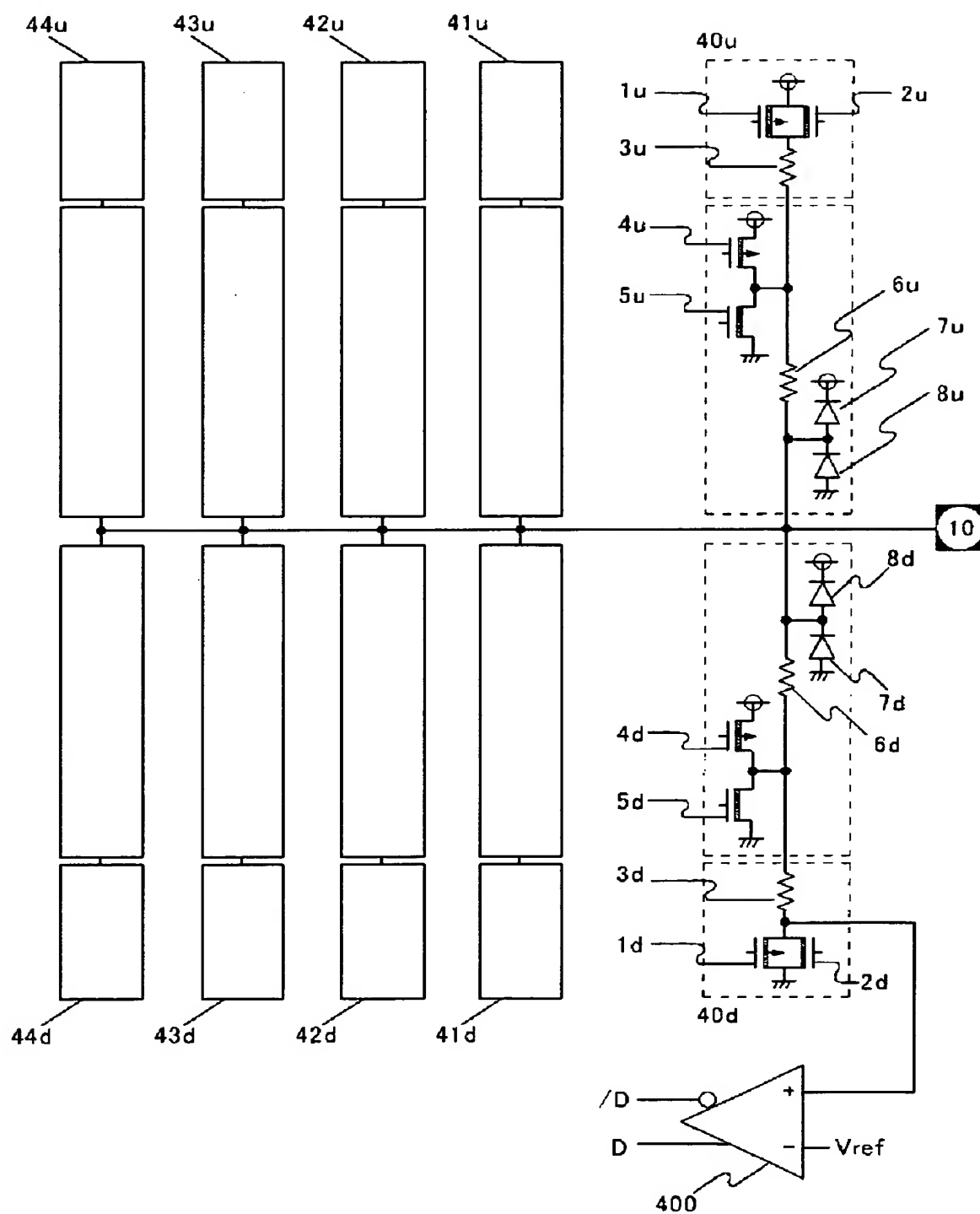
【図 32】



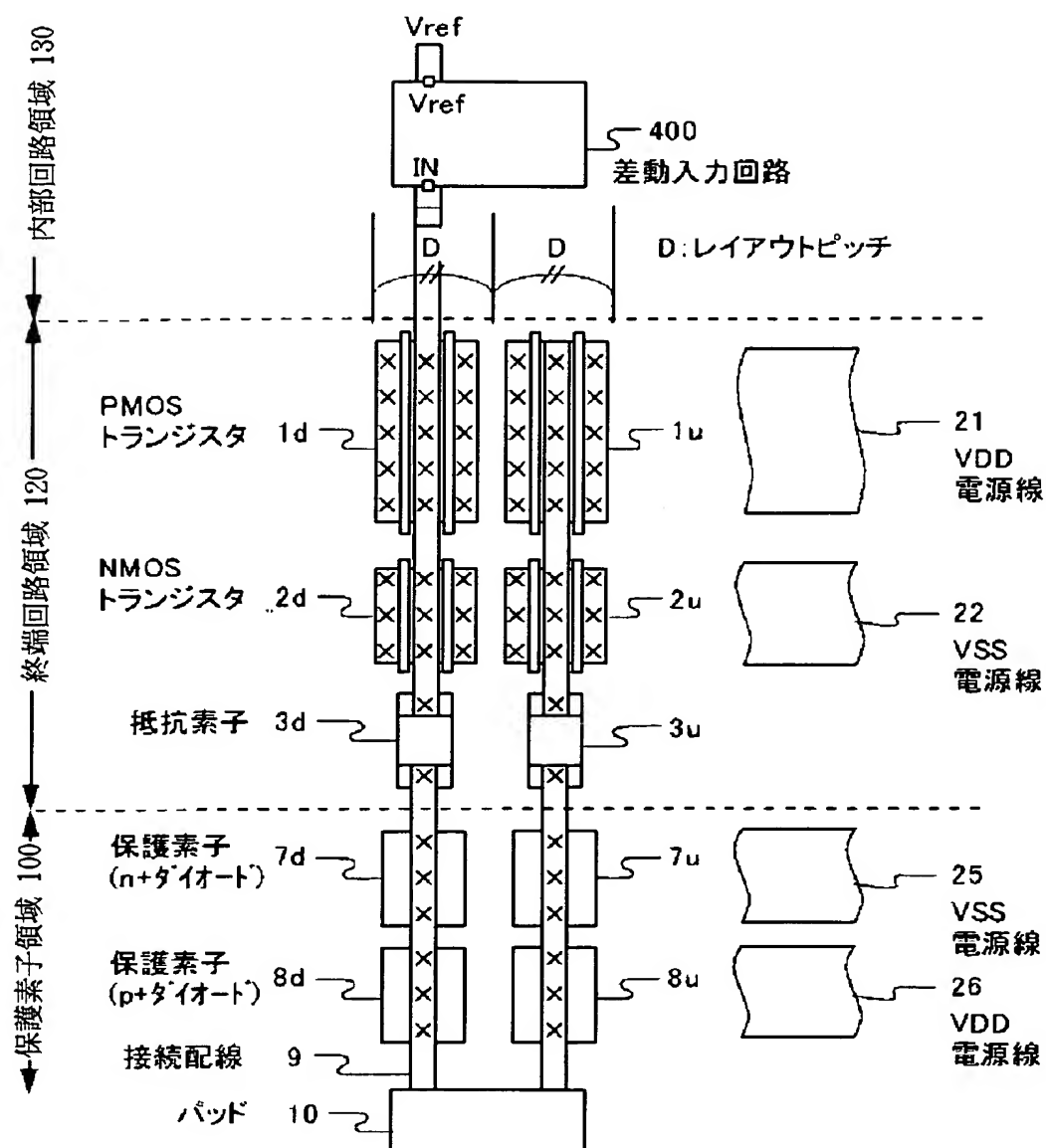
【図 33】



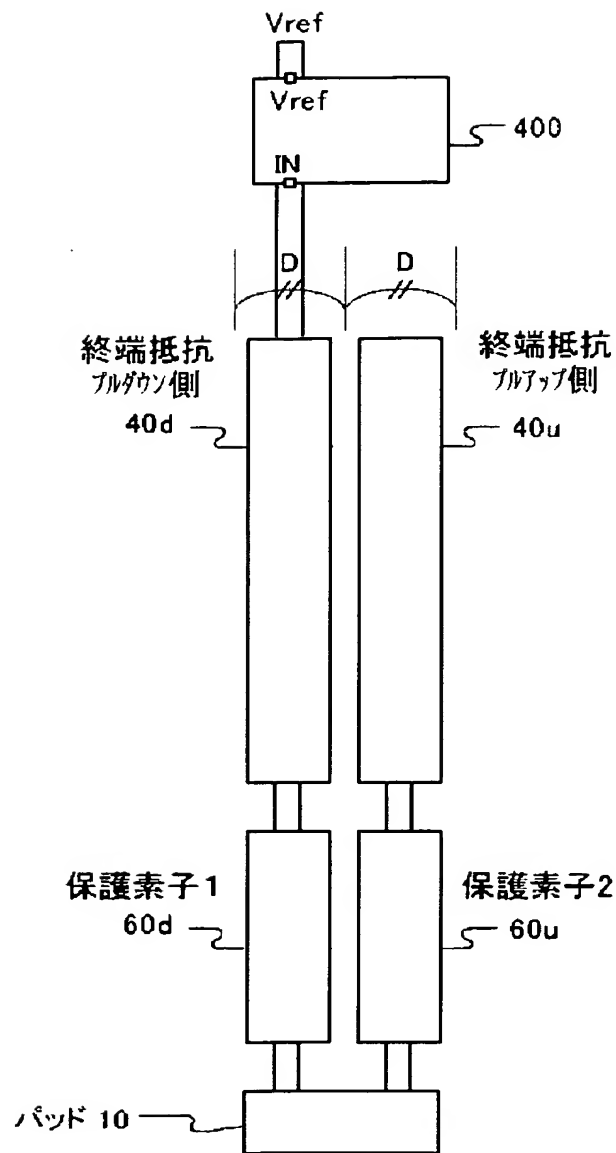
【図 34】



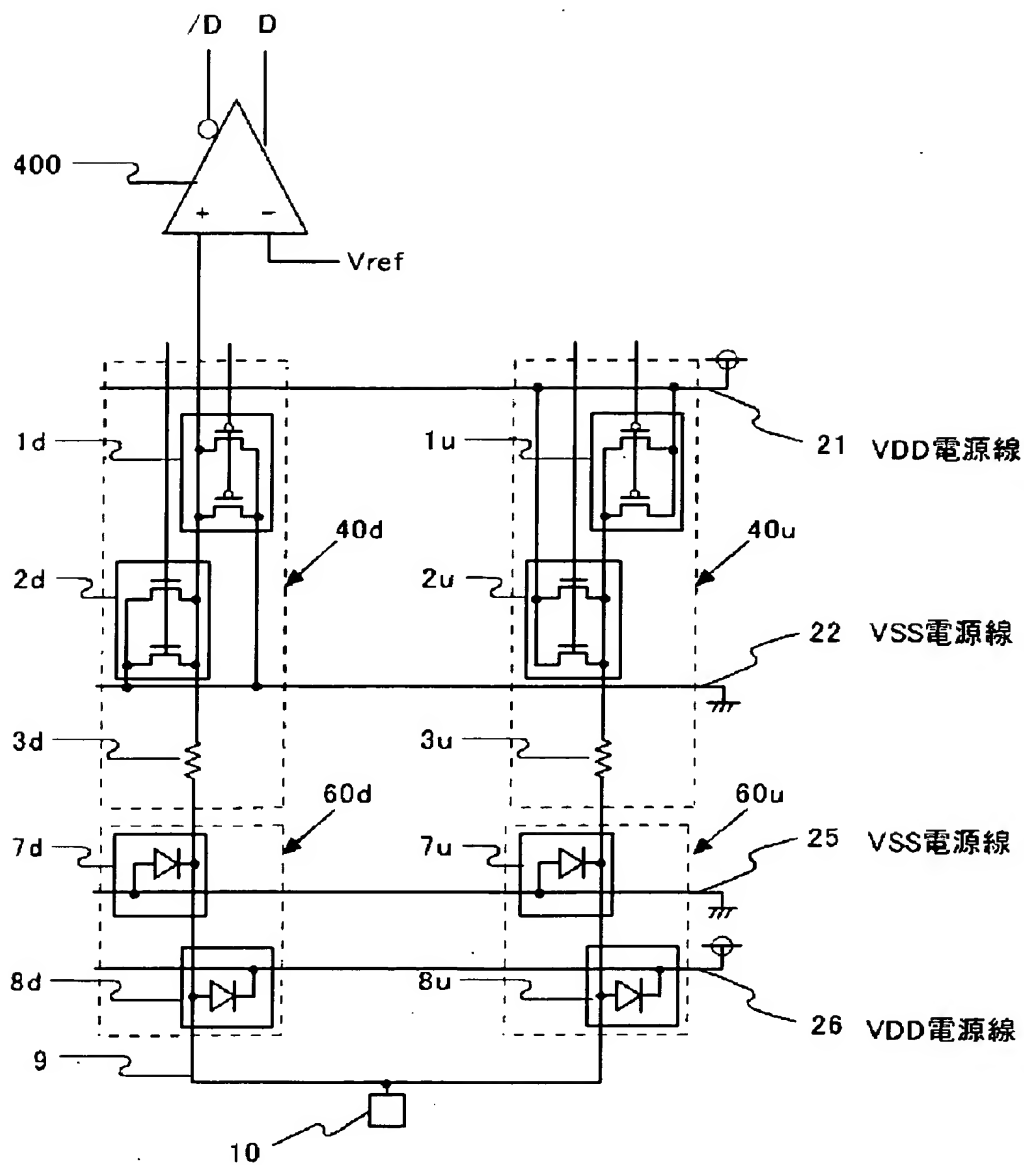
【図 35】



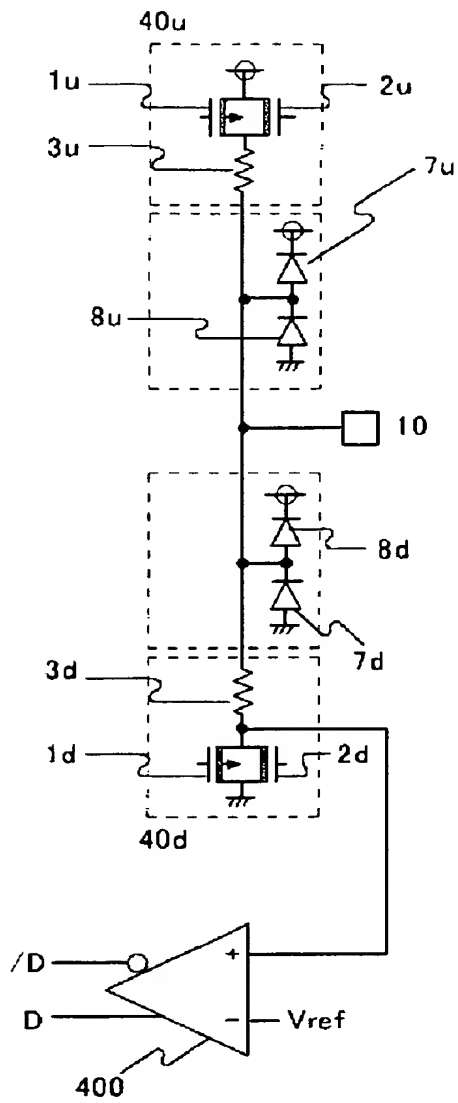
【図 36】



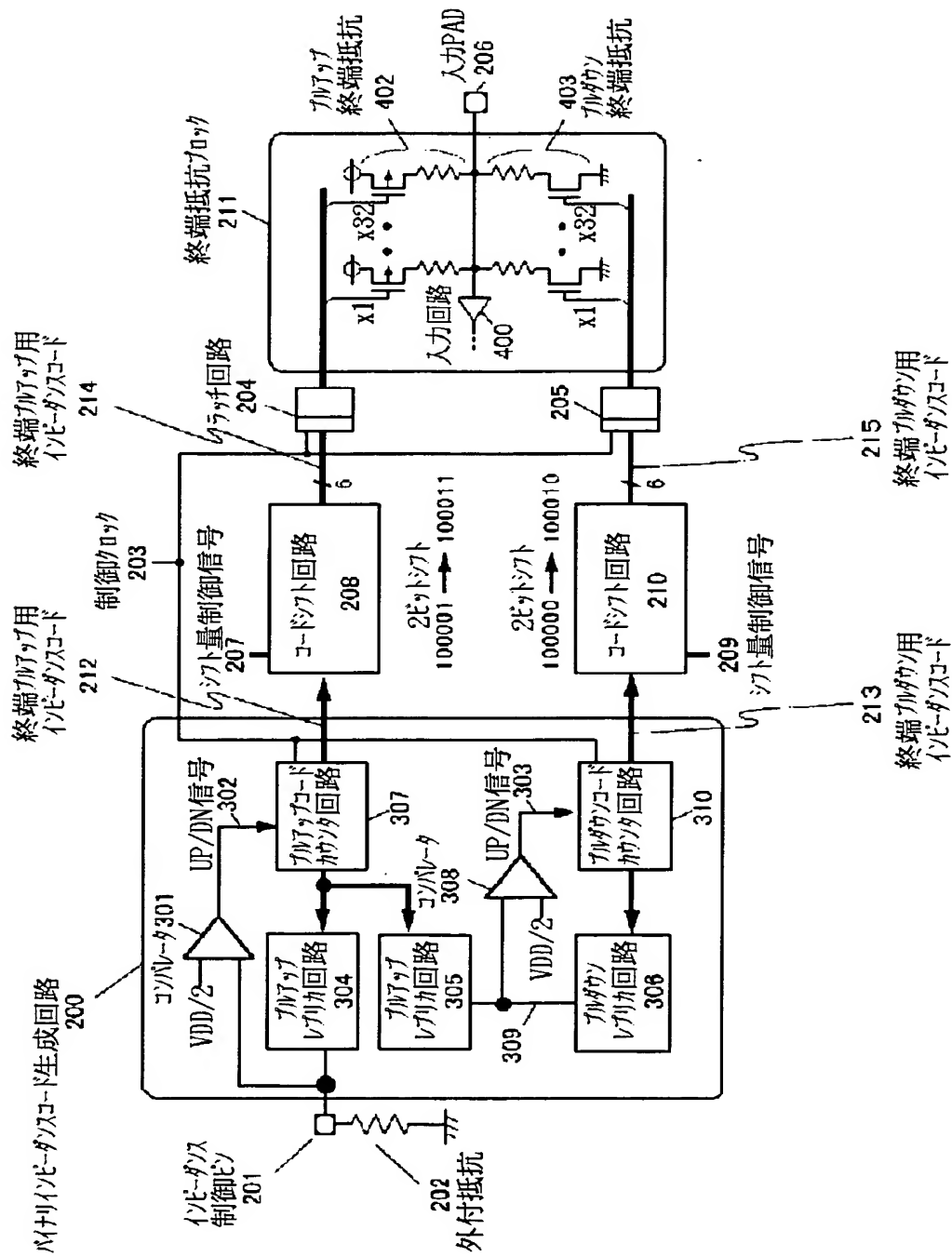
【図 37】



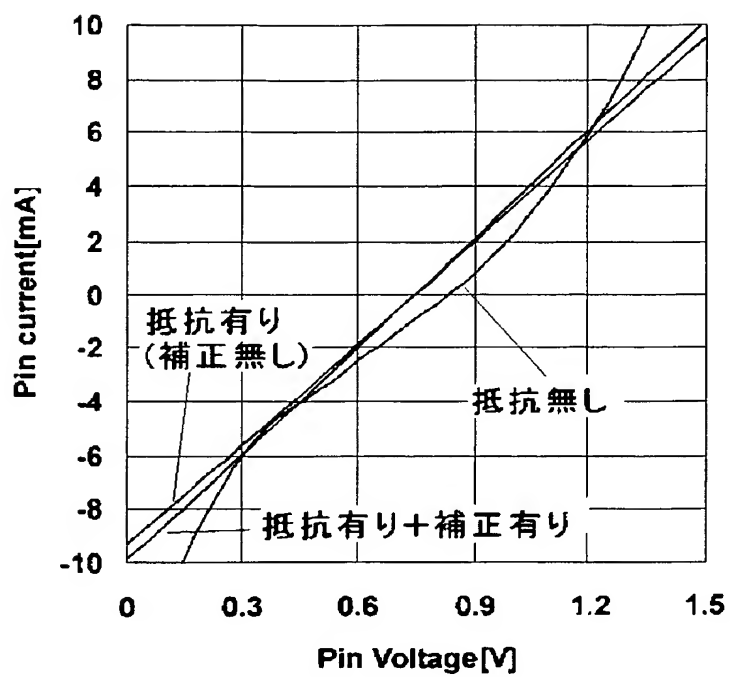
【図 38】



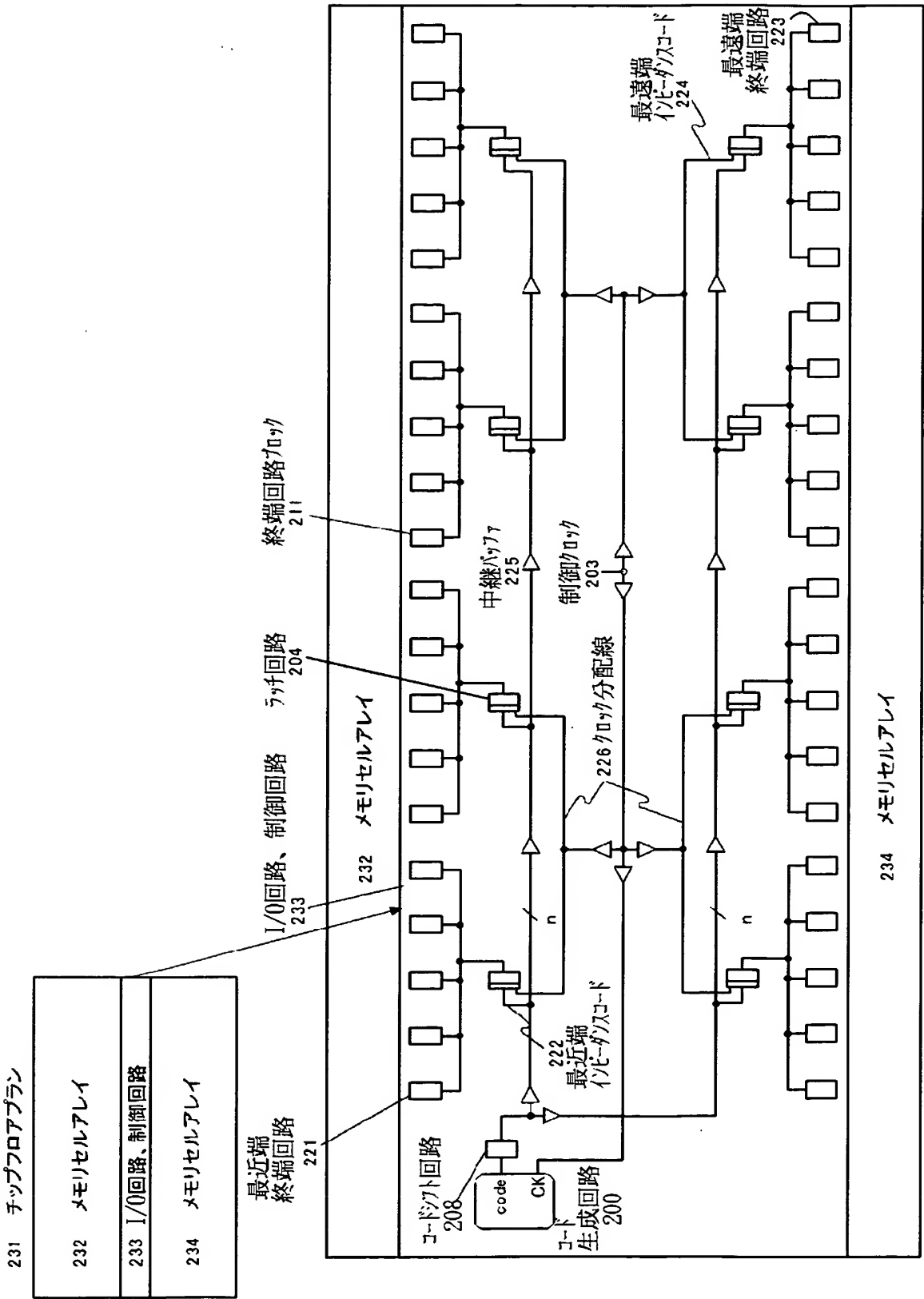
【図 39】



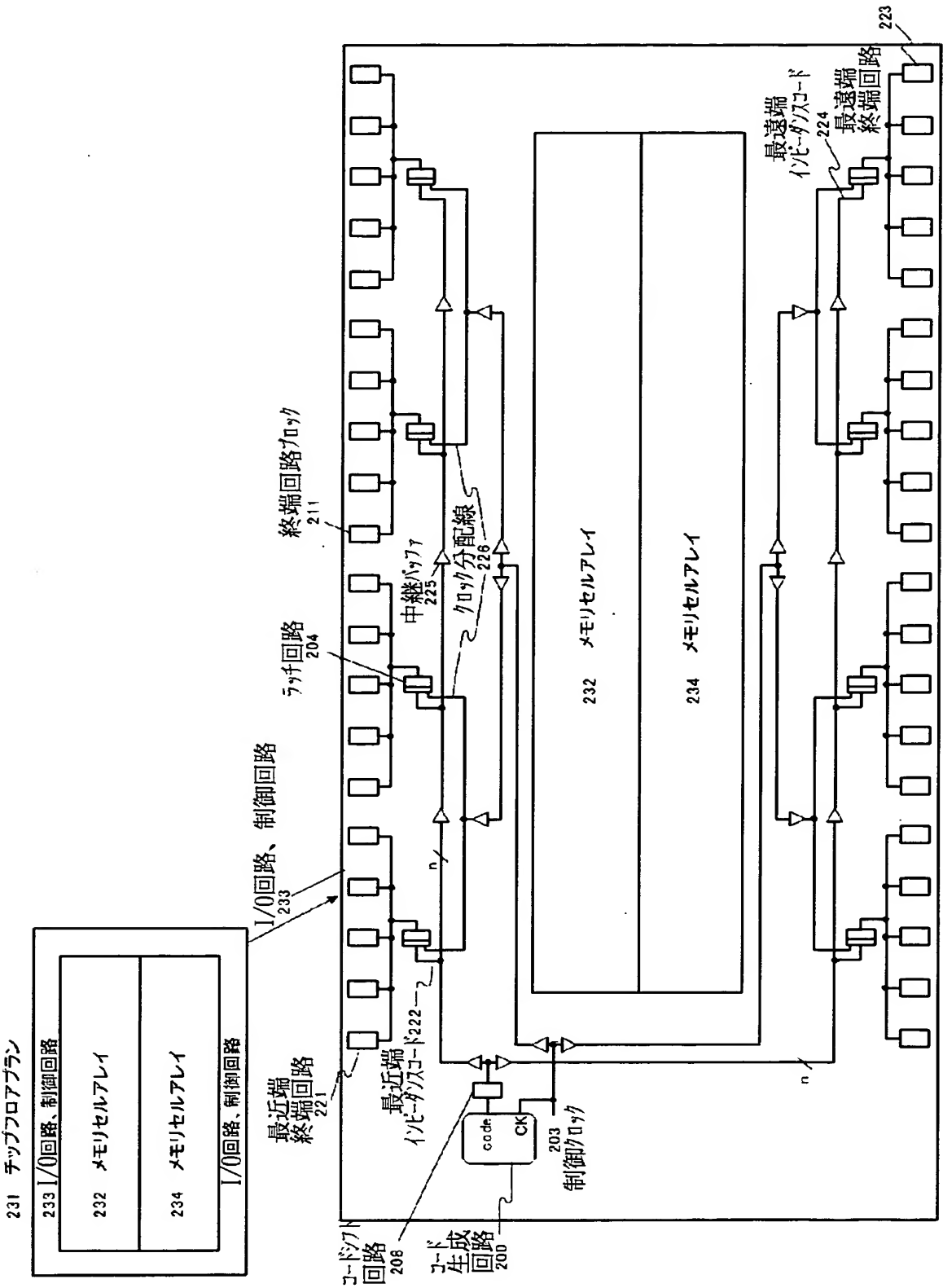
【図 40】



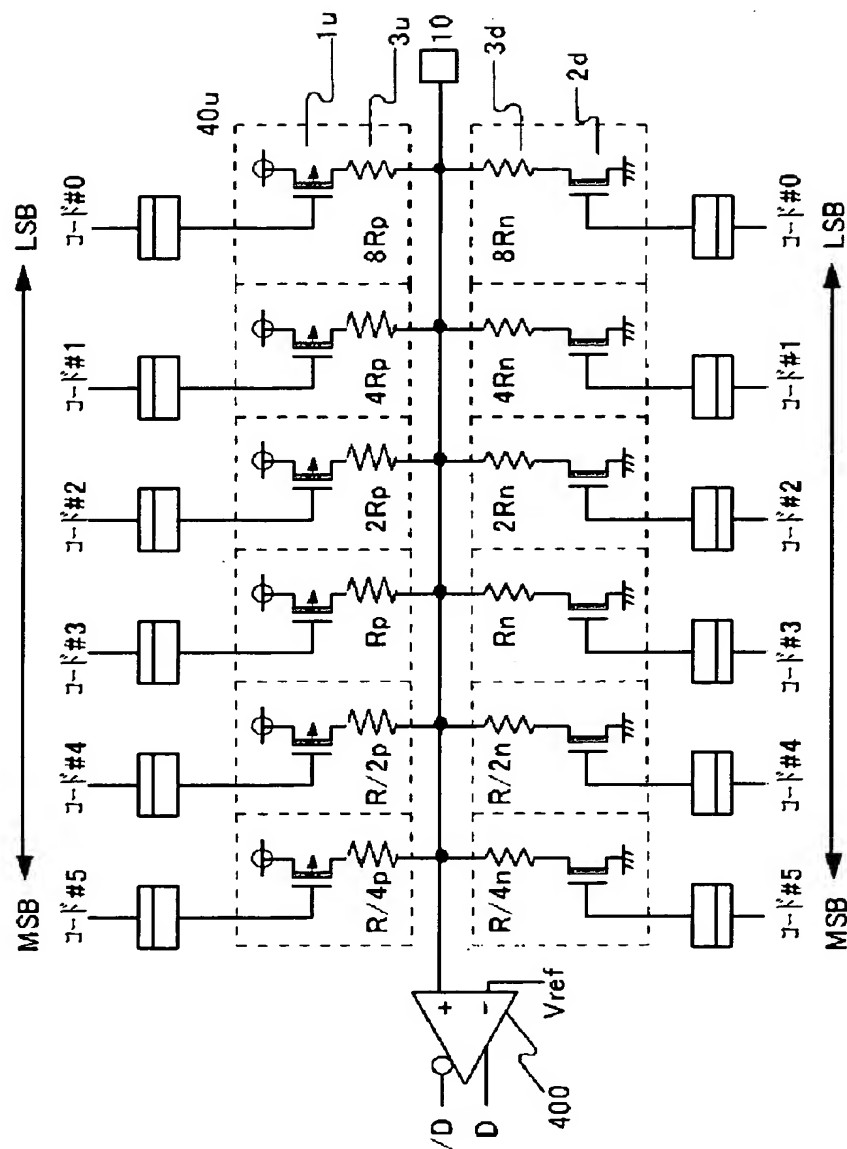
【図 4 1】



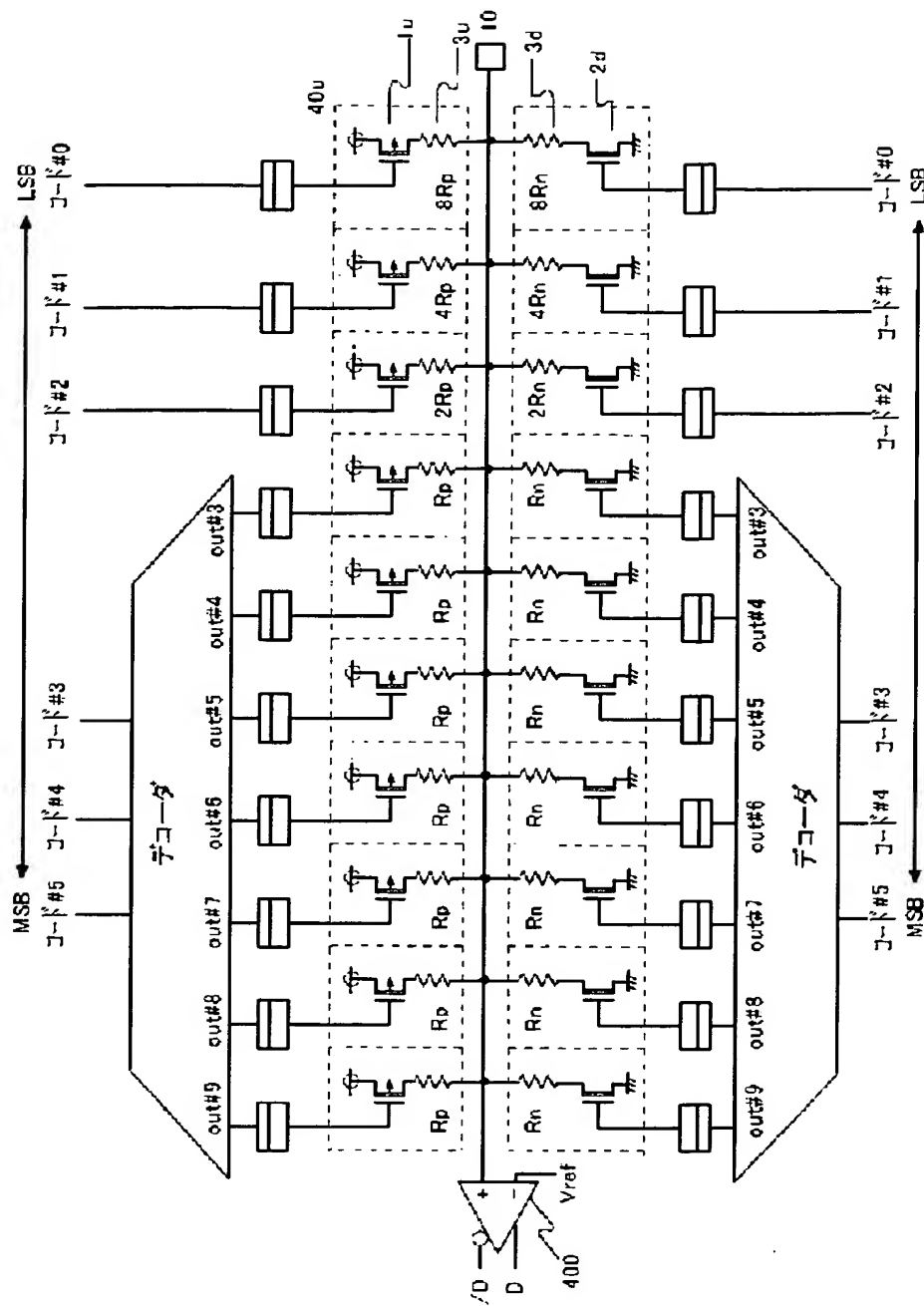
【図 4 2】



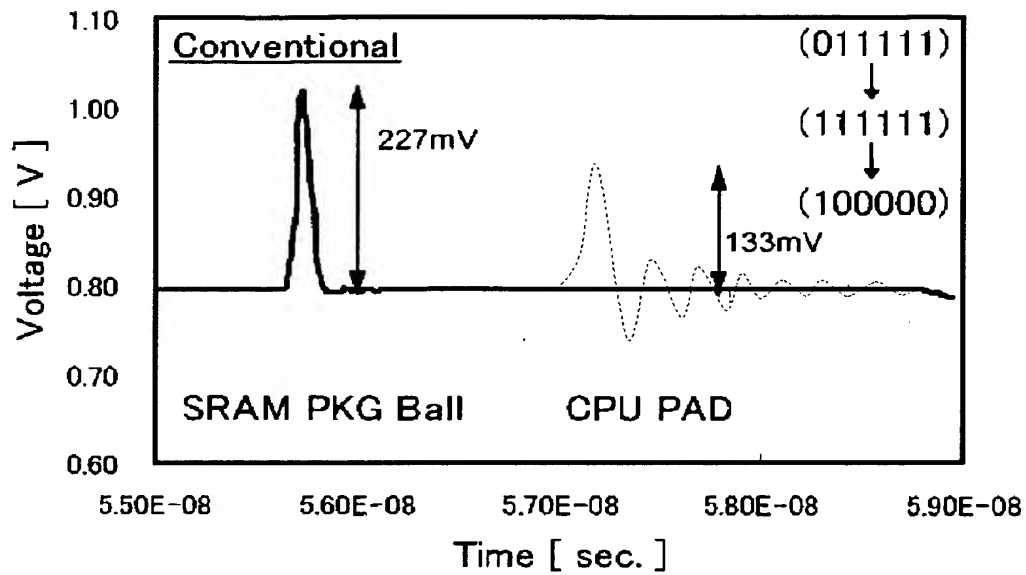
【図 4 3】



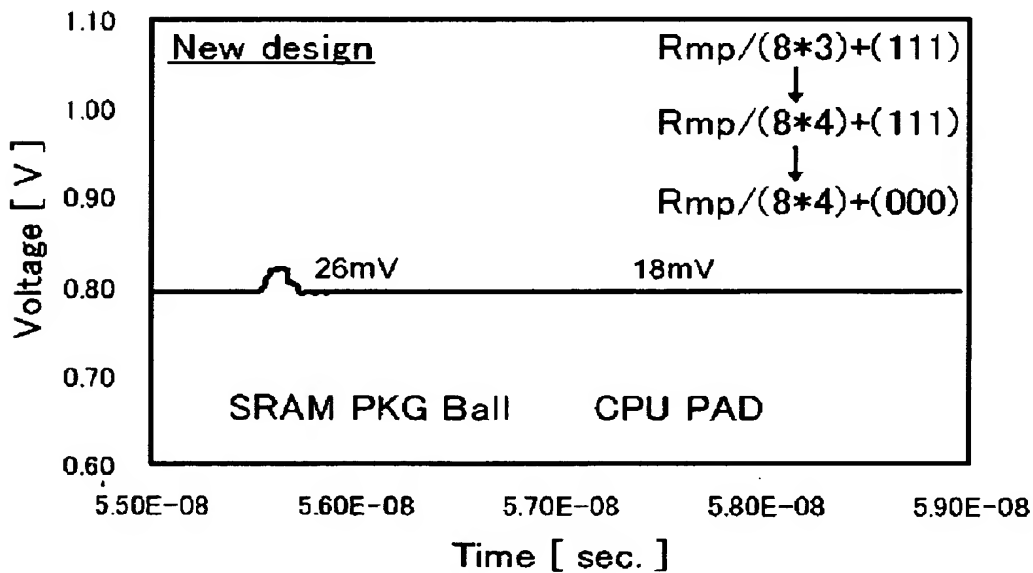
【図 44】



【図 4 6】



【図 4 7】



【書類名】 要約書

【要約】

【課題】 インピーダンス調整とスルーレート調整を互いに独立して設定することを可能とし、調整回路の構成を簡単にする半導体集積回路装置を提供する。

【解決手段】 出力回路を並列形態にされた複数からなる出力MOSFETを用い、第1制御手段により上記複数の出力MOSFETのうちオン状態にされる数を選択して出力インピーダンスの調整を行い、第2制御手段により上記オン状態にされる上記出力MOSFETの駆動信号の調整によりスルーレートの調整を行う。

【選択図】 図1

特願 2 0 0 3 - 1 1 8 5 2 8

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ